

東海大学大学院平成 29 年度博士論文

ニューロン CMOS インバータを用いた
連想メモリに関する研究

指導 藤本 邦昭 教授

東海大学大学院総合理工学研究科

総合理工学専攻

原田 裕二郎

目次

第1章	序論	1
1.1	研究背景	1
1.2	本研究の目的と内容	3
第2章	ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリ	5
2.1	序言	5
2.2	ニューロン CMOS インバータ	6
2.2.1	ニューロン MOS トランジスタ	6
2.2.2	ニューロン CMOS インバータの構造と動作	9
2.3	回路構成と動作	11
2.3.1	ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリ	11
2.3.2	レジスタ	12
2.3.3	ハミング距離検出回路	13
2.3.4	最小ハミング距離検索回路	17
2.4	シミュレーション結果	20
2.5	集積化	25
2.6	結言	28
第3章	ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリ	29
3.1	序言	29
3.2	回路構成と動作	29
3.2.1	ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリ	29
3.2.2	マンハッタン距離検出回路	31
3.2.3	最小マンハッタン距離検索回路	36
3.3	シミュレーション結果	36
3.4	結言	44

第 4 章	ニューロン CMOS インバータを用いた範囲内距離検索連想メモリ	45
4.1	序言	45
4.2	回路構成と動作	45
4.2.1	ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリ	45
4.2.2	範囲内ハミング距離検索回路	46
4.2.3	ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリ	49
4.2.4	範囲内マンハッタン距離検索回路	49
4.3	シミュレーション結果	53
4.3.1	ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリ	53
4.3.2	ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリ	54
4.4	結言	56
第 5 章	クロックドニューロン CMOS インバータを用いた連想メモリ	57
5.1	序言	57
5.2	回路構成と動作	57
5.2.1	クロックドニューロン CMOS インバータ	57
5.2.2	クロックドニューロン CMOS インバータを用いた最小ハミング距離検索回路	59
5.3	シミュレーション結果	63
5.4	結言	63
第 6 章	デューティ比 50%の可変分周器と分周比可変型デジタル位相同期ループ	65
6.1	序言	65
6.2	デューティ比 50%の可変分周器の構造と動作	66
6.3	Verilog-HDL による記述とシミュレーション	67
6.4	回路規模に関する考察	69
6.4.1	従来回路との比較	69
6.4.2	ビット幅増加に伴う回路規模	70
6.5	デューティ比 50%の可変分周器の位相同期ループへの応用	71

6.5.1	分周比可変型位相同期ループの回路構成と動作	71
6.5.2	定常位相誤差	72
6.5.3	動作周波数帯域と最大位相誤差	73
6.6	実験結果	73
6.7	結言	76
第7章	結論	77
7.1	本研究の結論	77
7.2	今後の検討課題	78
	謝辞	80
	参考文献	81
	発表論文一覧	86

Abstract

Study on Associative Memories Using Neuron CMOS Inverters

Yujiro Harada

Keywords: Neuron CMOS, Associative memory, Hamming distance, Manhattan distance, PLL

Recently, an associative memory which can retrieve the most similar data from a database at a high speed has drawn a lot of attention. The process that retrieves the data most similar to the input data is used for fingerprint recognition, human detection, data compression, detection of computer virus and malware, etc. The search technique implemented into a software program takes a long processing time to retrieve the most similar data with the increase in the number of bits and the amount of data, because a digital computer must compare the called data sequentially. Therefore, improvement of the performance of the associative memory is expected for real-time processing. In the associative memory, the measurement of similarity between the input data and the reference data is expressed by distance such as Hamming distance and Manhattan distance. In conventional associative circuits, the associative memories utilizing neuron CMOS inverters which is similar to a brain neuron are proposed. However, these circuits have problems are affected by influence of the initial charge of a floating gates and the variation of a threshold voltage.

This thesis is aimed at improving search speed in the associative memory and solving problems of conventional circuits in the associative memory, and it is constituted by 7 chapters.

In Chapter 1 titled Introduction, the purpose, the background and overview of this thesis are described.

In Chapter 2 titled A Minimum Hamming Distance Search Associative Memory Using Neuron CMOS Inverters, we propose the minimum Hamming distance search associative

memory using the neuron CMOS inverters which can retrieve the reference data most similar to the input data using the Hamming distance as an index. The minimum Hamming distance search associative memory converts the Hamming distance to the floating gate voltage of the neuron CMOS inverter. The associative memory can retrieve the most similar data by further converting its voltage to the time. Conventional circuits using neuron CMOS inverters have some malfunctions caused by a change of the threshold voltage of the neuron CMOS inverter and an initial charge. To solve these problems, influences of the change of threshold voltage and the initial charge are eliminated by connecting the floating gate to the output of the neuron CMOS inverter before searching operation. Furthermore, through HSPICE simulations, we confirm that high-speed searching operation can be obtained by the minimum Hamming distance search associative memory.

In Chapter 3 titled A Minimum Manhattan Distance Search Associative Memory Using Neuron CMOS Inverters, we propose the minimum Manhattan distance search associative memory using neuron CMOS inverters which can retrieve the reference data most similar to the input data using the Manhattan distance as an index. The associative memory can retrieve the most similar data by further converting its voltage of the time after converting the Manhattan distance to the floating gate voltage of the neuron CMOS inverter.

In Chapter 4 titled A Wide Range Distance Search Associative Memory Using Neuron CMOS Inverters, the wide range Hamming distance search associative memory and the wide range Manhattan distance search associative memory using neuron CMOS inverters which are further developed from the minimum Hamming distance search associative memory and the minimum Manhattan distance search associative memory are proposed. The wide range Hamming distance search associative memory can retrieve all data within specified Hamming distance from outside. The wide range Manhattan distance search associative memory can also retrieve all data within specified Manhattan distance from outside. We can confirm that high-speed searching operation equal to the minimum distance search associative memory can be obtained by the wide range distance search associative memory through HSPICE simulations.

In Chapter 5 titled A Minimum Hamming Distance Search Associative Memory Using Clocked Neuron CMOS Inverters, we propose the minimum Hamming distance search associative memory using clocked neuron CMOS inverters which is developed for decreasing power consumption. In the associative memory using neuron CMOS inverters, it has a problem of high power consumption, because the floating gate voltage of the neuron CMOS inverter is

near the threshold voltage. The simulation of the associative memory clarifies it is possible to reduce power consumption by utilizing the clocked neuron CMOS inverters.

In Chapter 6 titled A Programmable Divider with 50% Duty Cycle and Its Application to PLL, we propose the programmable divider and the PLL which generate signals with stable frequency from a clock signal to associative memories. We confirm the output with 50% duty cycle by the proposed divider and always output with duty cycle 50% regardless of frequency.

In Chapter 7 titled Conclusion, we summarize results obtained in the proposed associative memories using neuron CMOS inverters and the PLL with 50% duty cycle. Furthermore, future study is described.

第 1 章 序論

1.1 研究背景

近年，情報処理技術の発展により，文字認識や指紋認証，人検出等のパターンマッチング技術は様々な場面で活用されるようになった．これに伴い，パターンマッチングにおいて基本的かつ重要な処理である，データベースに保存されている膨大なデータの中から，入力したデータに最も類似したデータを高速に検索することの需要は益々高くなってきている [1,2]．また，この処理は，データ圧縮やウィルス・マルウェア検知においても利用されることが多く，その精度の向上が強く望まれている [3-5]．人間は連想や認識が得意であり，一瞬で記憶した膨大な情報の中から入力された情報に最も類似したものを検索することができる．例えば，一部が隠れた人の顔や物体を見た時，それが記憶の中に存在するものであれば，瞬時にそれを認識することができる．これは自己想起型連想記憶と呼ばれ，人間の脳が並列動作を行っているためである [6]．しかし，これをソフトウェアで実現しようとする場合，ビット数やデータ量の増加に伴い，急激に検索時間が増大し，リアルタイム処理が難しいという問題点がある．これは，コンピュータが最も類似したデータを検索する際，データを逐次呼び出して比較しなければならないからである．また，これをハードウェアで実現した場合においても，一般的なメモリを用いると基本的な動作はソフトウェアによる方式と同様であり，データ量の増加に応じて検索時間がかかる．

その改善策の一つとして連想メモリがある．連想メモリは，従来のメモリの機能に加え，膨大なデータの中から入力したデータに対して完全に一致したデータだけでなく，最も類似したデータを高速に検索する機能メモリの一つであり，現在，盛んに研究が行われている [7-16]．連想メモリにおいて，入力データに対する参照データの類似度は距離空間で表され，ハミング距離を指標にした方式や [17-22]，マンハッタン距離を指標にした方式 [23-25]，ユークリッド距離を指標にした方式が提案されている [26]．ハミング距離は，指紋認証や文字認識，グレースケール画像認識等に用いられ，マンハッタン距離およびユークリッド距離はカラー画像認識等に用いられる．また，連想メモリには，入力データに完全に一致する参照データを検索する方式と，入力データに最も類似する参照データを検索する方式の 2 種類に大きく分類され，完全一致検索型の連想メモリは，CAM(Content Addressable Memory) と呼ばれる．

一方, 1992 年に, 柴田と大見が, 脳の神経細胞に似た性質を持つニューロン MOS トランジスタを発明した [27]. ニューロン MOS トランジスタは, 通常 MOS トランジスタの構造を僅かに変更するだけで構成できるため, 「やわらかいハードウェア」として回路の高機能化, 高集積化に期待されており [28], 論理回路や様々な回路に応用されている [29–33]. 1996 年には, ニューロン MOS トランジスタを開発した柴田らによって, この素子を通常の CMOS インバータのように相補的に接続したニューロン CMOS インバータを用いた連想メモリが開発された [34]. 2010 年には, 東海大学の小林と吉田が, ニューロン CMOS インバータを用いて, 従来回路に比べて高速に動作する NAND 型 CAM を開発した [35]. しかしながら, これらの回路は, 製造時のばらつきや温度変化によるニューロン CMOS インバータの閾値電圧の変動の影響を受け, 誤動作を起こすという問題点があった. さらに, 文献 [35] の回路については, ニューロン CMOS インバータのフローティングゲートの初期電荷の影響を受けるといった問題点があった. 他にも, 東京大学の池田らによってデジタル方式の連想メモリや [18, 21], 広島大学の Mattausch らによって距離を時間領域に変換する方式の連想メモリ等が提案されているが [17], 検索速度や消費電力が大きいという問題点があり, 未だ実用化には到っていない.

また, 連想メモリを始めとするメモリにおいて, 制御クロックの周波数の安定性は回路の高い精度を保つために非常に重要である. その制御クロックの供給源として位相同期ループがある [36]. 位相同期ループは, 入力信号に対して位相と周波数が一致した信号を出力する回路であり, CPU やメモリ等の様々なシステム内のクロック源として利用されている. 現在では, 集積化, 安定性, 低消費電力化等の要求から, 全デジタル構成による位相同期ループの研究が数多く行われている [37–39]. その中の一つに分周比可変型の全デジタル位相同期ループがある. 分周比可変型デジタル位相同期ループは, 位相比較器, 可逆カウンタ, 逓倍用カウンタ, 逓倍動作時の余り補正回路, 可変分周器等から構成される. 全デジタル位相同期ループを構成する可変分周器に求められる性能としては, 分周範囲, 動作速度など様々あるが, 出力のデューティ比を 50% に保つことは, 他のシステムへのクロック供給を考えると極めて重要な性能の一つとなっている [40, 41].

可変分周器の一般的な構成である単相クロック完全同期式の回路では, 常にクロックの一方のエッジに同期して出力状態が変化するため, 分周比が偶数値の場合には出力のデューティ比を 50% にできるが, 分周比が奇数値の場合には, 出力信号のデューティ比を 50% にすることができないという問題点がある. 常に出力信号のデューティ比を 50% に保つことができる可変分周器について多くの報告がなされているが, そのほとんどは回路構成が複雑である [42–44]. また, 簡単な回路構成の可変分周器については, ハザードのため動作が不安定になり, 実際集積化した場合に誤作動を起こすという問題点を有していた [45].

一つの解決策として、マルチバイブレータの時定数回路部分に SC(Switched-Capacitor) 回路を用いたデューティ比 50%を実現する可変分周器が提案されている [46]. しかし、この方式による可変分周器は、分周比の増大に比例してその動作が不安定になるという問題点があった。また、SC 回路部分に生じる寄生容量の影響から、分周比を決定するキャパシタの値を正確に算出することが困難である。

1.2 本研究の目的と内容

本研究では、ニューロン CMOS インバータを基本素子として用いることで、従来回路において問題となっていたニューロン CMOS インバータの閾値変動およびフローティングゲートの初期電荷の影響を排除し、高速動作が得られる最小ハミング距離検索連想メモリ、最小マンハッタン距離検索連想メモリ、範囲内ハミング距離検索連想メモリ、範囲内マンハッタン距離検索連想メモリの全く新しい方式の 4 種類の連想メモリを開発した。最小ハミング距離検索連想メモリおよび最小マンハッタン距離検索連想メモリは、その構成が簡素であり、ハミング距離とマンハッタン距離を指標に、入力データに一致または最も類似した参照データを完全並列で高速に検索する回路である。範囲内ハミング距離検索連想メモリおよび範囲内マンハッタン距離検索連想メモリは、最小ハミング距離検索連想メモリと最小マンハッタン距離検索連想メモリの特性に加えて、外部から距離を指定し、その距離内のデータを全て検索する機能を有している。

また、提案するニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリは、高速動作かつ従来の問題を解決する優位な特性を有しているが、ニューロン CMOS インバータのフローティングゲートの電圧が閾値電圧付近になるため、消費電力が大きいという難点があった。そこで、これを解決するため、クロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリを開発した。クロックドニューロン CMOS インバータを用いることで、最小ハミング距離検索連想メモリの消費電力を小さくすることが可能である。

さらに、本研究では、提案する可変分周器を用いることで、連想メモリに対してクロック信号から周波数に関わらず常にデューティ比 50%の安定した制御信号を生成する分周比可変型デジタル位相同期ループを開発した。提案する可変分周器を用いたデジタル位相同期ループは、その分周比や入力信号の周波数に関係なく常にデューティ比 50%の出力信号を得ることができる。また、デジタル回路のみの極めて簡単な構成であり、その動作は分周比の増大に関係なく安定である。本デジタル位相同期ループは、全デジタルであるため、試作する際にハードウェア記述言語を用いて記述でき、同一チップ上に容易に製作することが

可能である。

本論文は、全 7 章からなり、各章の内容を以下に述べる。

第 1 章は序論であり、本研究の目的および背景と本研究の目的と内容について述べ、各章の概要について記している。

第 2 章と第 3 章では、ハミング距離を指標に最も類似したデータを検索するニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリと、マンハッタン距離を指標に最も類似したデータを検索するニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリを提案している。また、提案する連想メモリの構造と動作について述べた後、HSPICE シミュレーションにより、提案回路の動作を確認し、その性能を検討している。

第 4 章では、2 章と 3 章で提案した最小ハミング距離検索連想メモリと最小マンハッタン距離検索連想メモリを発展させ、さらに広範囲のデータを検索することができる、ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリと範囲内マンハッタン距離検索連想メモリを提案している。その後、提案回路の構成と動作を述べ、HSPICE シミュレーションにより、その性能を検討している。

第 5 章では、クロックドニューロン CMOS インバータについて説明し、最小ハミング距離検索連想メモリをさらに発展させ、低消費電力特性を持つクロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリについて提案する。その後、提案回路の動作を確認し、その性能を検討している。

第 6 章では、提案するニューロン CMOS インバータを用いた連想メモリに対し、クロック信号から安定した制御信号を生成するデューティ比 50% の可変分周器とそれを用いた分周比可変型デジタル位相同期ループの構成と動作について述べ、シミュレーションと実験によりその性能を検討する。

最後に第 7 章では、本研究で得られた主要な結果を総括し、今後の研究課題について述べる。

第2章 ニューロンCMOSインバータを用いた最小ハミング距離検索連想メモリ

2.1 序言

本章では、ニューロンCMOSインバータを用いた最小ハミング距離検索連想メモリを提案する。提案する最小ハミング距離検索連想メモリは、ニューロンCMOSインバータを用いることにより、ハミング距離をフローティングゲートの電圧に変換する。その電圧を時間に変換することによって、ハミング距離を指標として入力データに一致または最も類似した参照データを完全並列で高速に検索することができる。

従来のニューロンMOSトランジスタを用いた回路は、トランジスタの閾値電圧の変動や、フローティングゲートの初期電荷の影響を受け、誤動作を起こすという問題点があった [34,35,47]。提案する連想メモリは、検索動作の前にニューロンCMOSインバータの出力とフローティングゲートを接続することで、フローティングゲートの電圧をニューロンCMOSインバータの閾値電圧と等しくし、フローティングゲートの初期電荷とトランジスタの閾値電圧の変動による影響を排除している。同様の方式で、フローティングゲートの初期電荷の影響を排除している回路として、文献 [34,48] 等がある。これらの文献においては、ニューロンMOSソースフォロワーを必要としており、入力数に比例してニューロンMOSの結合容量を大きくしていく必要がある。しかし、提案する最小ハミング距離検索連想メモリは、ニューロンMOSソースフォロワー回路を必要とせず、かつ全てのニューロンCMOSインバータの結合容量に最小容量を用いることができる。

本章では、まず、ニューロンCMOSインバータを構成するニューロンMOSトランジスタの構成について述べる。その後、提案する連想メモリの基本構成素子であるニューロンCMOSインバータの構成とその動作原理について述べる。次に、ニューロンCMOSインバータを用いた最小ハミング距離検索連想メモリの構造と動作について述べる。さらに、提案する連想メモリに用いられているメモリセル、ハミング距離検出回路、最小ハミング距離検索回路の構造と動作について述べ、その動作を理論的に解析する。本研究では、ローム株式会社の

0.18 μm CMOS プロセスを用いて，提案する最小ハミング距離検索連想メモリの回路設計を行った．さらに，HSPICE を用いたシミュレーションによって所期の動作が得られることを確認した．

2.2 ニューロン CMOS インバータ

2.2.1 ニューロン MOS トランジスタ

ニューロン MOS トランジスタは，柴田らによって提案された電子素子である [27]．この素子は，複数の入力端子とフローティングゲートを有し，入力端子に加わる電圧の加重平均によって定まるフローティングゲートの電圧が，フローティングゲートに対する MOS トランジスタの閾値電圧を超えたときに“ON”状態となる構成である．ニューロン MOS トランジスタは，通常 MOS トランジスタの構造を僅かに変更するだけで構成できるため，「やわらかいハードウェア」として，回路の高機能化，高集積化に期待されている素子である [28]．

図 2.1 は，n チャネル型ニューロン MOS トランジスタ（以下 n- ν MOS）の構造である．ニューロン MOS トランジスタは，ゲート端子をフローティングにし，これに m 個の入力端子を容量結合した構造となっている．図 2.2 は，n- ν MOS の回路記号である．また，図 2.3 は，n- ν MOS のフローティングゲートの等価回路の図である．図 2.1～図 2.3 において， V_B は基板電圧， V_1, V_2, \dots, V_m は n- ν MOS の入力端子， C_1, C_2, \dots, C_m は各入力端子とフローティングゲート間の容量， V_F はフローティングゲートの電圧である．なお， C_P は，フローティングゲートと基板間の寄生容量である．容量 $C_P, C_1, C_2, \dots, C_m$ に蓄えられる電荷を $Q_P, Q_1, Q_2,$

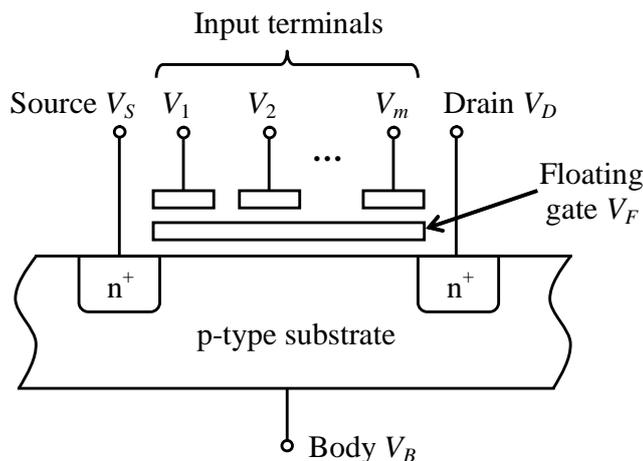


図 2.1 n チャネル型ニューロン MOSFET の構造

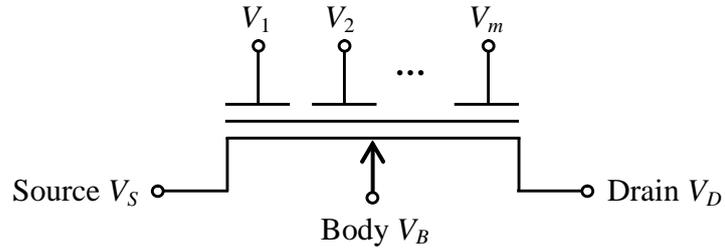


図 2.2 n チャネル型ニューロン MOSFET の回路記号

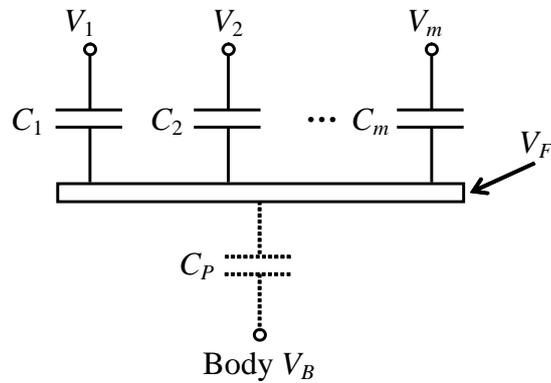


図 2.3 n チャネル型ニューロン MOSFET の等価回路

..., Q_m とすると, フローティングゲートに蓄えられる電荷 Q_F は, 次式によって表される.

$$\begin{aligned}
 Q_F &= Q_P + \sum_{i=1}^m (-Q_i) \\
 &= C_P(V_F - V_B) + \sum_{i=1}^m C_i(V_F - V_i) \\
 &= V_F \left(C_P + \sum_{i=1}^m C_i \right) - \left(C_P V_B + \sum_{i=1}^m C_i V_i \right) \quad (2.1)
 \end{aligned}$$

フローティングゲートの初期電荷を $0[\text{C}]$ とすると, Q_F は,

$$Q_F = 0 \quad (2.2)$$

となり, 式 (2.1) を式 (2.2) に代入すると, フローティングゲートの電圧 V_F は, 次式となる.

$$V_F = \frac{C_1 V_1 + C_2 V_2 + \dots + C_m V_m + C_P V_B}{C_T} \quad (2.3)$$

なお, C_T は各入力端子 - フローティングゲート間容量とフローティングゲート - 基板間容

量の総和であり、次式で表される。

$$C_T = C_P + \sum_{i=1}^m C_i \quad (2.4)$$

n- ν MOS のソース電圧を V_S とすると、フローティングゲート – ソース間の電圧 V_{FS} は、

$$V_{FS} = V_F - V_S \quad (2.5)$$

となるため、式 (2.5) に式 (2.3) を代入すると、次式となる。

$$V_{FS} = \frac{C_1 V_1 + C_2 V_2 + \cdots + C_m V_m + C_P V_B}{C_T} - V_S \quad (2.6)$$

n- ν MOS の動作状態は、フローティングゲートとソース電圧の電圧差 V_{FS} とフローティングゲートに対する n- ν MOS の閾値電圧 V_{THn} によって次式の条件を満たす場合は導通状態、満たさない場合は開放状態となる。

$$V_{FS} \geq V_{THn} \quad (2.7)$$

n- ν MOS の導通状態を 1、開放状態を 0 とし、式 (2.7) に式 (2.6) を代入すると、n- ν MOS は、入力電圧 $V_i (i=1, 2, \dots, m)$ に対して次式の閾値関数 f_n を持つ素子であることが分かる。

$$f_n = \begin{cases} 1 & \left(\frac{C_1 V_1 + C_2 V_2 + \cdots + C_m V_m + C_P V_B}{C_T} \geq V_{THn} + V_S \right) \\ 0 & \left(\frac{C_1 V_1 + C_2 V_2 + \cdots + C_m V_m + C_P V_B}{C_T} < V_{THn} + V_S \right) \end{cases} \quad (2.8)$$

式 (2.8) から、n- ν MOS の動作状態は各入力端子に印加される電圧とそれぞれの入力端子が持つ容量および基板電圧と寄生容量の加重平均によって決まることが分かる。

また、図 2.4 は、p チャネル型ニューロン MOS トランジスタ (以下 p- ν MOS) の構造である。p- ν MOS は、基盤が n 型半導体、ソースとドレインが p 型半導体で構成されている。p- ν MOS の動作状態は、n- ν MOS と同様にフローティングゲートと閾値電圧の大小関係によって定まり、p- ν MOS の閾値電圧を V_{THp} とすると、閾値関数 f_p は次式のように表される。

$$f_p = \begin{cases} 1 & \left(\frac{C_1 V_1 + C_2 V_2 + \cdots + C_m V_m + C_P V_B}{C_T} \leq V_{THn} + V_S \right) \\ 0 & \left(\frac{C_1 V_1 + C_2 V_2 + \cdots + C_m V_m + C_P V_B}{C_T} > V_{THn} + V_S \right) \end{cases} \quad (2.9)$$

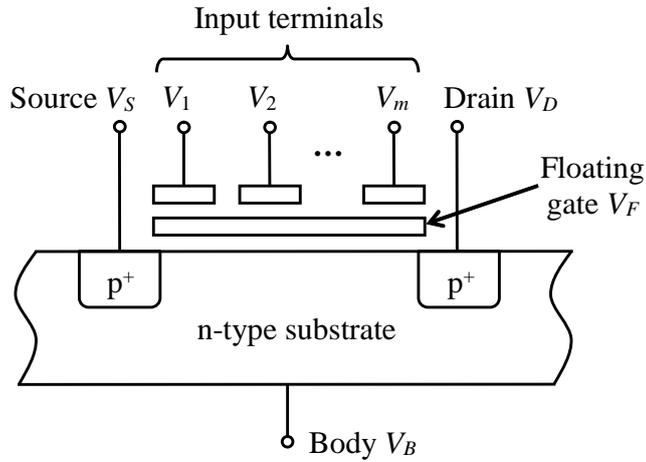


図 2.4 p チャネル型ニューロン MOSFET の構造

2.2.2 ニューロン CMOS インバータの構造と動作

前節で述べた n- ν MOS と p- ν MOS を，入力端子と入力端子－フローティングゲート間容量を共通化し，通常の CMOS インバータのように相補的に接続した構成がニューロン CMOS インバータ（以下 ν CMOS）である．図 2.5 は ν CMOS の回路図である．また，図 2.6 は，図 2.5 の等価回路の回路図である．図 2.5，図 2.6 において， V_{DD} は電源電圧， V_1, V_2, \dots, V_m は各入力端子， C_1, C_2, \dots, C_m は各入力端子－フローティングゲート間の容量， C_P はフローティングゲート－基板間の寄生容量である．

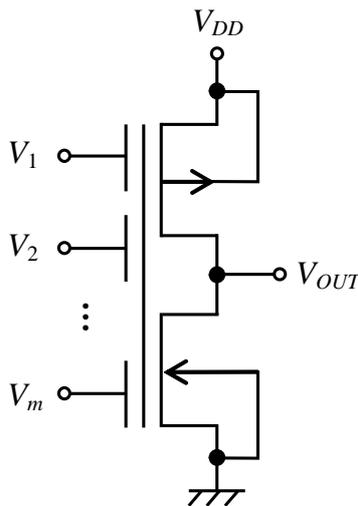


図 2.5 ニューロン CMOS インバータの回路図

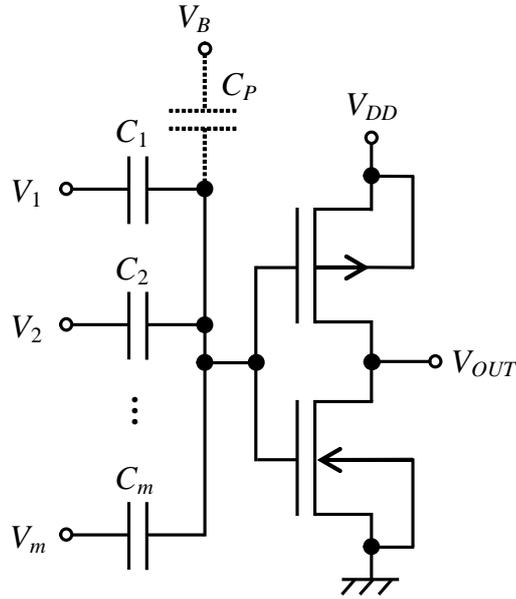


図 2.6 ニューロン CMOS インバータの等価回路

ν CMOS の出力電圧 V_{OUT} は，フローティングゲートの電圧 V_F と， ν CMOS のフローティングゲートに対する閾値電圧 V_{TH} によって定まり，次式のようになる．

$$V_{OUT} = \begin{cases} V_{DD} & (V_F \leq V_{TH}) \\ 0 & (V_F > V_{TH}) \end{cases} \quad (2.10)$$

ν CMOS のフローティングゲートの電圧 V_F は，n- ν MOS のフローティングゲートの電圧と同等であるため，式 (2.10) に式 (2.3) を代入すると，

$$V_{OUT} = \begin{cases} V_{DD} & \left(\frac{C_1 V_1 + C_2 V_2 + \cdots + C_m V_m + C_P V_B}{C_T} \leq V_{TH} \right) \\ 0 & \left(\frac{C_1 V_1 + C_2 V_2 + \cdots + C_m V_m + C_P V_B}{C_T} > V_{TH} \right) \end{cases} \quad (2.11)$$

となる．式 (2.11) から， ν CMOS は各入力端子の電圧と容量の加重平均の値によるフローティングゲートの電圧 V_F が，閾値電圧 V_{TH} を下回るとき V_{DD} ，上回るとき 0 が出力される素子であることが分かる．

2.3 回路構成と動作

2.3.1 ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリ

図 2.7 は、提案するニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリの回路構成である。ここで、 N は入力データと参照データのビット数、 M は比較する参照データの数であるワード数である。Register $_j$ は参照データを記憶するためのレジスタであり、Address Decoder は O ビットの制御信号 AD によってレジスタへの書込み信号 $WL_j (j=1, 2, \dots, M)$ を出力するデコーダである。Minimum Hamming Distance Search Circuit (以下 MHDS) は、入力データに対して一致もしくはハミング距離が最も小さい参照データを検索する回路である。また、 BL は Register $_j$ に参照データを書き込むためのビット線であり、 $A=(a_1, a_2, \dots, a_N)$ は入力データ、 $B_j=(b_{1,j}, b_{2,j}, \dots, b_{N,j})$ は Register $_j$ に保存されている入力データと比較するための参照データである。なお、ハミング距離 D_{Hammm} は、入力データ A と参照データ B_j の間の異なるビットの個数であり、次式によって定義される。

$$D_{Hammm} = \sum_{i=1}^N (a_i \oplus b_i) \quad (2.12)$$

ここで、式中の \oplus は、排他的論理和演算子である。

次に、回路動作について説明する。制御信号 AD が Address Decoder へ入力されると、そ

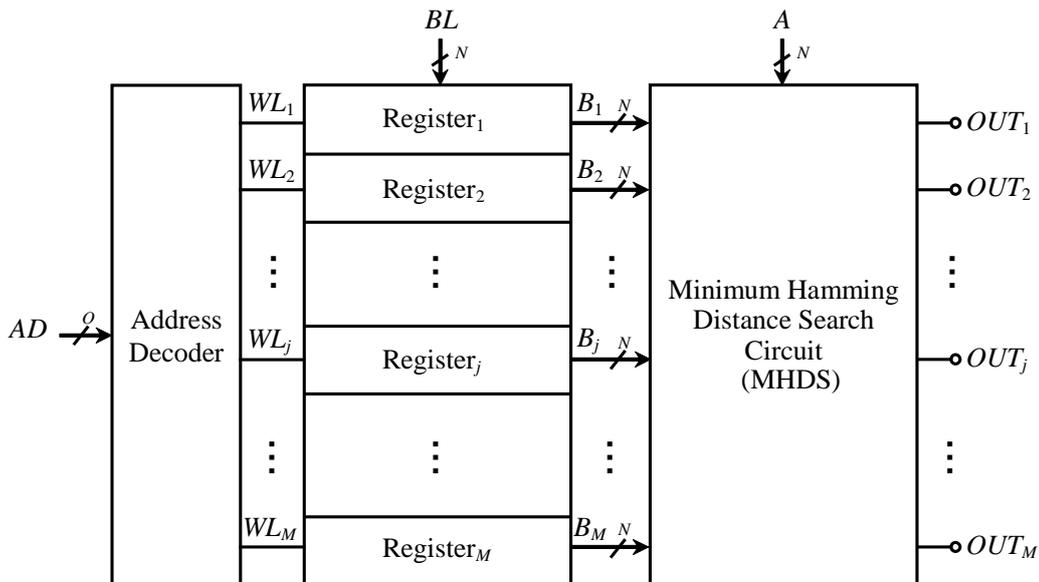


図 2.7 ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリ

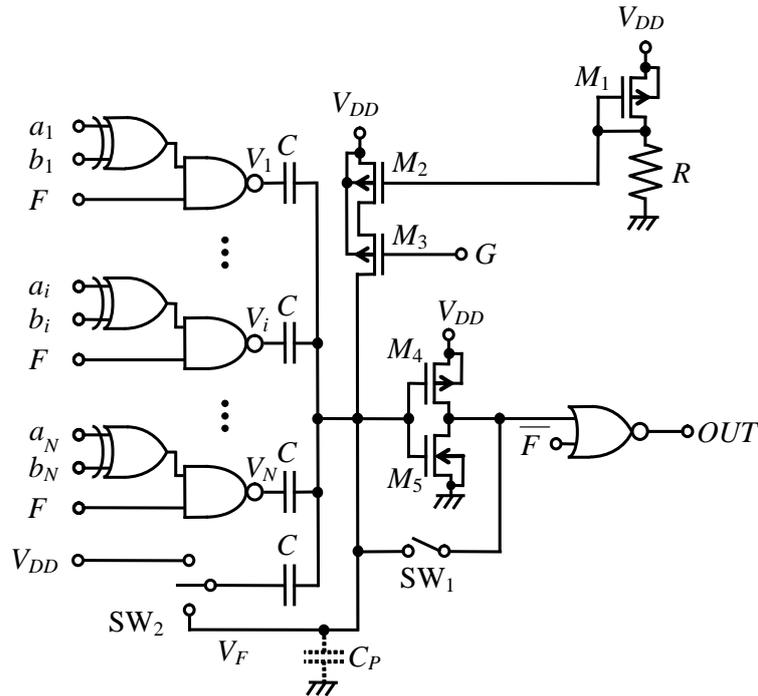


図 2.10 ニューロン CMOS インバータを用いたハミング距離検出回路の等価回路

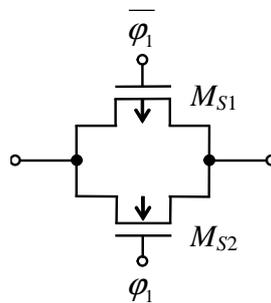


図 2.11 SW_1 の回路構成

ϕ_1 がローレベルのとき、MOS トランジスタ M_{S1} と M_{S2} は “OFF” になるため、 SW_1 は “OFF” になる。 ϕ_1 がハイレベルのとき、MOS トランジスタ M_{S1} と M_{S2} は “ON” になるため、 SW_1 は “ON” となる。

図 2.12 は、スイッチ SW_2 の回路構成である。図より、 SW_2 は MOS トランジスタ M_{S4} 、 M_{S5} からなるトランスファークロークと M_{S3} により構成されている。 ϕ_2 は MOS トランジスタの状態を設定するための制御電圧であり、 $\overline{\phi_2}$ はその反転電圧である。 ϕ_2 がローレベルのとき、MOS トランジスタ M_{S3} は “OFF” となり、 M_{S4} と M_{S5} は “ON” になるため、 SW_2 は下側に接続される。逆に、 ϕ_2 がハイレベルのとき、MOS トランジスタ M_{S3} は “ON” となり、 M_{S4}

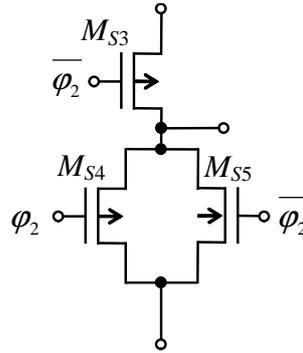


図 2.12 SW₂ の回路構成

と M_{S5} は “OFF” になるため、SW₂ は上側に接続される。

ここで、ニューロン CMOS インバータを用いたハミング距離検出回路の動作について説明する。まず、制御電圧 F をローレベル、 G をハイレベル、スイッチ SW₁ を “ON”，SW₂ を下側に接続する。これにより、 ν CMOS のフローティングゲートの電圧 V_F は次式で表される。

$$V_F = V_{TH} \quad (2.13)$$

このとき、 F がローレベルなので、全ての NAND の出力 V_i はハイレベルとなり、出力 OUT はローレベルになる。

次に、SW₁ を “OFF” にした後に、SW₂ を上側に接続する。このときの ν CMOS のフローティングゲートの電圧 V_F について考える。 ν CMOS の入力端子の 1 箇所の電圧が ΔV 変化した場合のフローティングゲートの電圧 V_F の変化量 ΔV_F は次式のように表される。

$$\Delta V_F = \frac{C}{C_T} \Delta V \quad (2.14)$$

式中の C_T は、 ν CMOS の各入力端子 - フローティングゲート間容量とフローティングゲート - 基板間に存在する寄生容量 C_P の合計であり、次式のようになる。

$$C_T = (N + 1)C + C_P \quad (2.15)$$

SW₂ を上側に接続すると、 ν CMOS の 1 番下の入力端子の電圧が V_{TH} から V_{DD} に変化するため、式 (2.13)、式 (2.14) から、フローティングゲートの電圧 V_F は、

$$V_F = V_{TH} + \frac{C}{C_T} (V_{DD} - V_{TH}) \quad (2.16)$$

となる。電源電圧 V_{DD} は閾値電圧 V_{TH} より大きいいため、式 (2.16) より、 V_F は閾値電圧 V_{TH} を上回り、 ν CMOS の出力はローレベルになる。

続いて、制御電圧 F をハイレベルにすると、入力データの i ビット目 a_i と参照データの i ビット目 b_i が等しくない場合、NAND の出力 V_i はハイレベルからローレベルに変化する。これにより、NAND の出力 V_i は、入力データ $A=(a_1, a_2, \dots, a_N)$ と参照データ $B=(b_1, b_2, \dots, b_N)$ のハミング距離 D_{Hamm} の数だけ電源電圧 V_{DD} から $0V$ に変化する。このときのフローティングゲートの電圧を V'_F とすると、式 (2.14)、式 (2.16) より V'_F は次式のように表せる。

$$V'_F = V_{TH} + \frac{C}{C_T}(V_{DD} - V_{TH}) - D_{Hamm} \frac{C}{C_T} V_{DD} \quad (2.17)$$

V'_F は、閾値電圧 V_{TH} を下回るため、 ν CMOS の出力はハイレベルとなり、出力 OUT はローレベルのまま変化しない。入力データ $A=(a_1, a_2, \dots, a_N)$ と参照データ $B=(b_1, b_2, \dots, b_N)$ が等しい場合、NAND の出力は全てハイレベルの状態になり、フローティングゲートの電圧 V_F は式 (2.16) から変化しない。従って、 ν CMOS の出力電圧はローレベルのままとなり、出力 OUT はハイレベルに変化する。これにより、制御電圧 F をハイレベルにした時点で入力データと参照データの一致検出を行うことができる。

式 (2.17) より、入力データ $A=(a_1, a_2, \dots, a_N)$ と参照データ $B=(b_1, b_2, \dots, b_N)$ が等しくない場合、フローティングゲートの電圧 V'_F はハミング距離 D_{Hamm} に比例して下降する。制御電圧 G をローレベルにすると、MOS トランジスタ M_3 は“ON”になり、 M_1, M_2, R からなるカレントミラー回路によって定電流が流れ始める。これにより、フローティングゲートの電圧 V_F は、 V'_F から直線的に上昇を始め、これが ν CMOS の閾値電圧 V_{TH} を超えると ν CMOS の出力はローレベルとなり、出力 OUT はハイレベルになる。 M_3 を介して流れる電流を I とすると、制御電圧 G をローレベルにしてから出力 OUT がハイレベルになるまでの時間 T は次式で表せる。

$$T = \frac{C_T(V_{TH} - V'_F)}{I} \quad (2.18)$$

この式に、式 (2.17) を代入すると、

$$T = \frac{C_T \left\{ -\frac{C}{C_T}(V_{DD} - V_{TH}) + D_{Hamm} \frac{C}{C_T} V_{DD} \right\}}{I} \quad (2.19)$$

となり、これを整理すると、

$$T = D_{Hamm} \frac{C}{I} V_{DD} - \frac{C}{I} (V_{DD} - V_{TH}) \quad (2.20)$$

となる。この式により、制御電圧 G をローレベルにしてから出力 OUT がハイレベルになるまでの時間 T は、寄生容量および初期電荷の影響を受けないことが分かる。また、式 (2.20)

より、ハミング距離 D_{Hamm} が 1 異なる場合の時間差 ΔT は、次式のように表すことができる。

$$\Delta T = \frac{C}{I} V_{DD} \quad (2.21)$$

以上より、温度や製造時における閾値電圧 V_{TH} の変動が、ハミング距離に対する時間の差に影響を与えないことが分かる。

2.3.4 最小ハミング距離検索回路

図 2.13 は、提案するニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリにおいて、入力データに対して一致もしくは類似した参照データを検索する最も重要な構成要素である最小ハミング距離検索回路 MHDS である。また、図 2.14 はその等価回路である。MHDS は、先述のハミング距離検出回路をワード数 M 個並べて構成している。 $A=(a_1, a_2, \dots, a_N)$ は入力データであり、 $B_j=(b_{1,j}, b_{2,j}, \dots, b_{N,j})$ は参照データである。また、ハミング距離検出回路の MOS トランジスタ M_3 のゲート端子には、多入力 OR 回路の出力が接続されている。なお、 H は類似検索動作のための制御電圧であり、ローレベルにすると類似検索を開始する。

ここで、本最小ハミング距離検索回路 MHDS の動作について説明する。入力データ $A=(a_1, a_2, \dots, a_N)$ と完全に一致している j 番目の参照データ $B_j=(b_{1,j}, b_{2,j}, \dots, b_{N,j})$ が存在する場合、制御電圧 F をハイレベルにすると、その箇所のハミング距離検出回路の出力 OUT_j がハイレベルになるため、参照データの一致検索が可能である。一方、入力データ A に対して完全に一致している参照データ B_j が存在しない場合、出力 OUT_j は全てローレベルのままである。

入力データと完全に一致した参照データが存在せず、類似検索を行いたい場合は、制御電圧 F をハイレベルにした後に、制御電圧 H をローレベルにする。これにより、全てのハミング距離検出回路の MOS トランジスタ M_3 は“ON”になるため、 M_1, M_2, R からなるカレントミラー回路より定電流が流れ始め、フローティングゲートへの充電が始まる。最小ハミング距離検索回路 MHDS に用いたハミング距離検出回路は、ハミング距離を時間に変換している。そのため、入力データに対してハミング距離が最も小さい参照データの箇所のハミング距離検出回路のフローティングゲートの電圧が最も早く閾値電圧に達し、その箇所の OUT_j が最初にハイレベルになる。出力 OUT_j が 1 つでもハイレベルになると、多入力 OR 回路の出力はハイレベルとなり、 M_3 は“OFF”になるため、全てのフローティングゲートへの充電が停止する。このことから、入力データに対して最もハミング距離が小さい参照データの箇所の OUT_j がハイレベルになることが分かる。

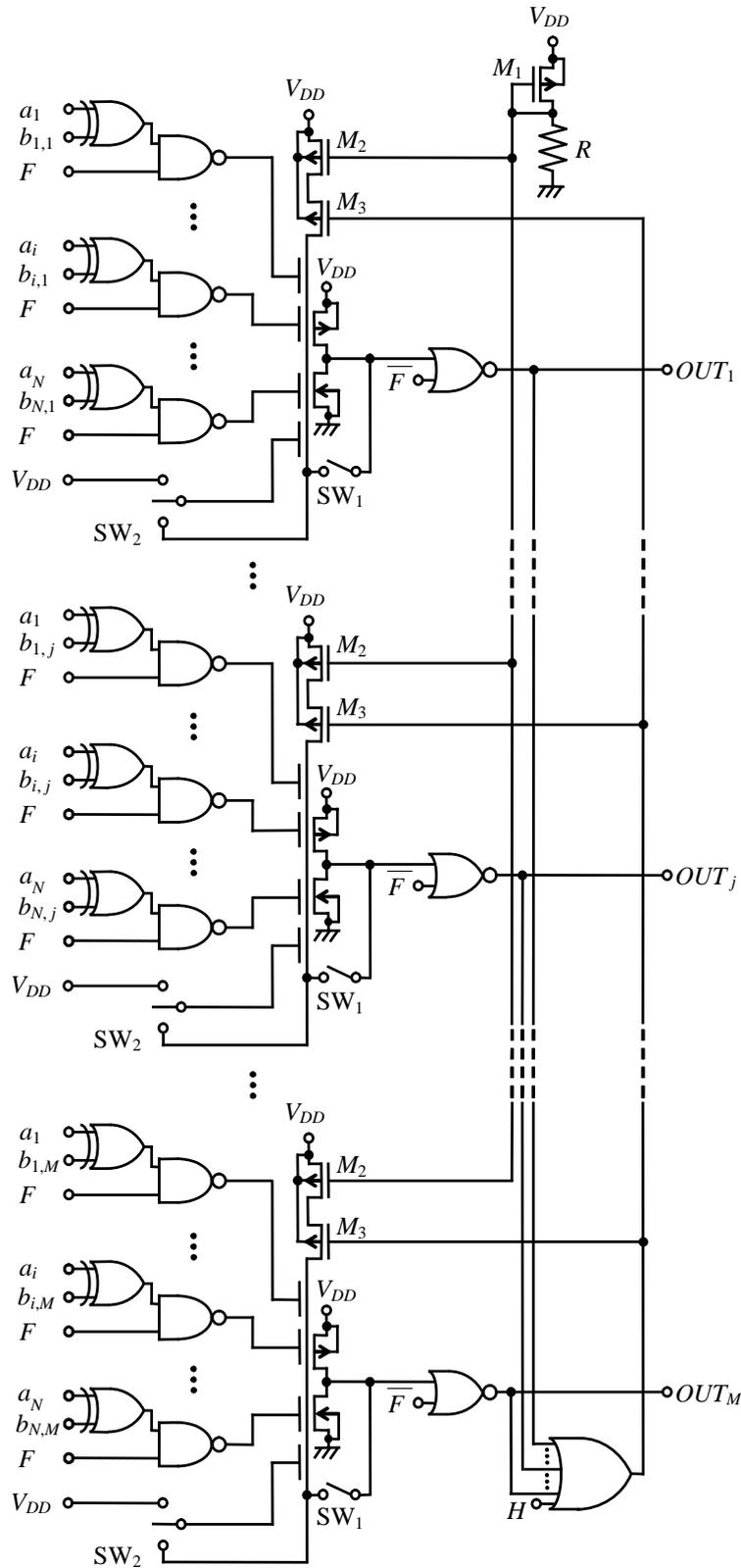


図 2.13 ニューロン CMOS インバータを用いた最小ハミング距離検索回路

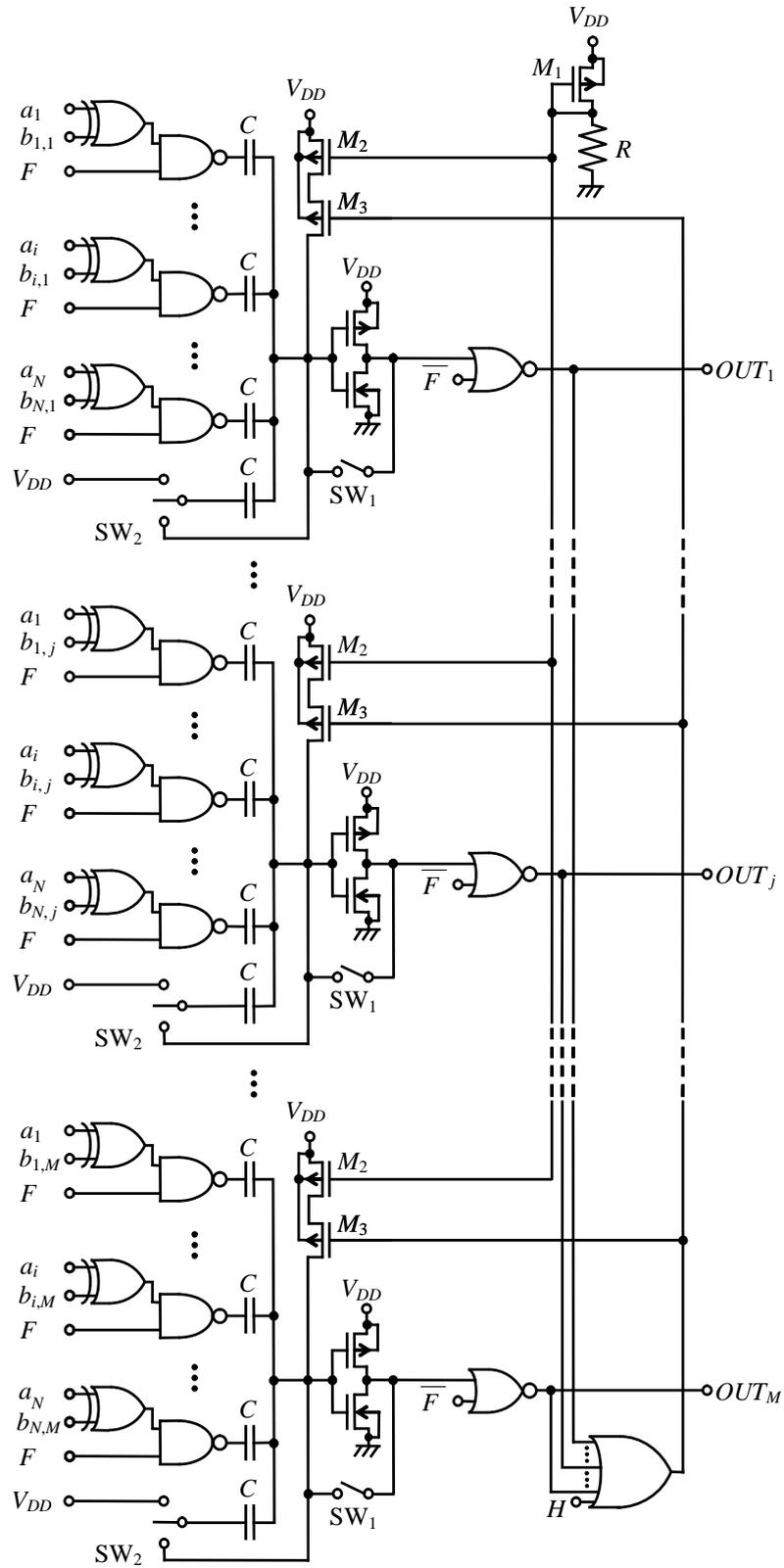


図 2.14 ニューロン CMOS インバータを用いた最小ハミング距離検索回路の等価回路

以上の動作により，提案回路を構成している最小ハミング距離検索回路 MHDS は，制御電圧 F をハイレベルにすることで一致検索動作を行い， H をローレベルにすることで，ハミング距離を指標に入力データに最も類似した参照データを検索することが可能となる。

2.4 シミュレーション結果

前節で提案したニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリのシミュレーション結果を示す。シミュレーションは，Cadence 社の IC Virtuoso®Schematic Editor XL を用いて設計し，Synopsys 社の HSPICE を用いて行った。SPICE パラメータとして，ローム株式会社の $0.18\mu\text{m}$ CMOS プロセスを用いた。また，電源電圧 V_{DD} を 1.8V ，ニューロン CMOS インバータのフローティングゲートに対する閾値電圧 V_{TH} は V_{DD} の半分の 0.9V にして行った。なお，シミュレーションには，図 2.14 の等価回路を用いた。

図 2.15 は，入力データに対してそれぞれハミング距離が $0\sim 4$ の参照データが入力されている場合のニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリのフローティングゲートのシミュレーション結果である。入力データと参照データのビット数は 8 ，データの数であるワード数は 32 に設定した。図において， t_1 は制御電圧 F をローレベル， SW_1 を “ON”， SW_2 を下側に接続した時点， t_2 は SW_1 を “OFF”， SW_2 を上側に接続した時点， t_3 は制御電圧 F をハイレベルにした時点を表している。フローティングゲートの電圧 V_F は，時点 t_1 で閾値電圧 V_{TH} と等しくなり，時点 t_2 で上昇し V_{TH} を上回る。また，時点 t_3

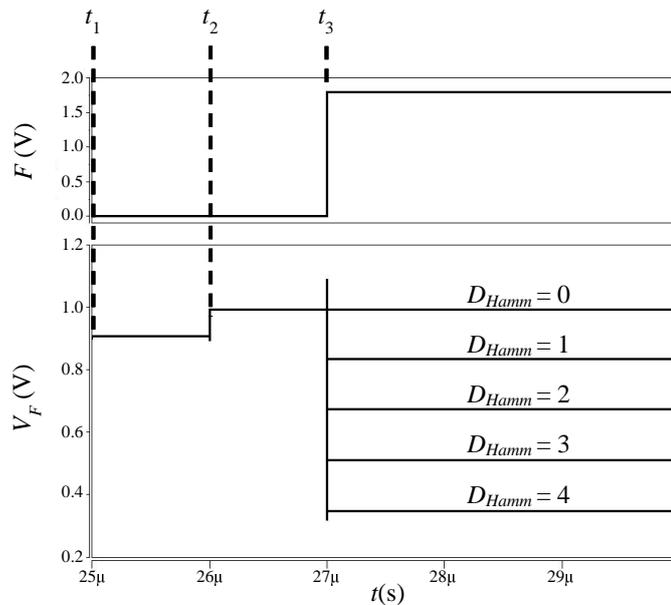


図 2.15 フローティングゲートのシミュレーション結果

では、ハミング距離 D_{Hammm} に比例して ν CMOS のフローティングゲートの電圧 V_F が下降していることが分かる。図 2.16 は、時点 t_3 でのフローティングゲートの電圧 V_F を表している。図より、フローティングゲートの電圧 V_F は、ハミング距離の 1 次関数で表されることが分かる。

図 2.17 は、ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリの検索時間のシミュレーション結果であり、入力データに対して参照データの最小ハミング距離が 1~4 のときのそれぞれのシミュレーション結果を重ねた波形である。図より、制御電圧

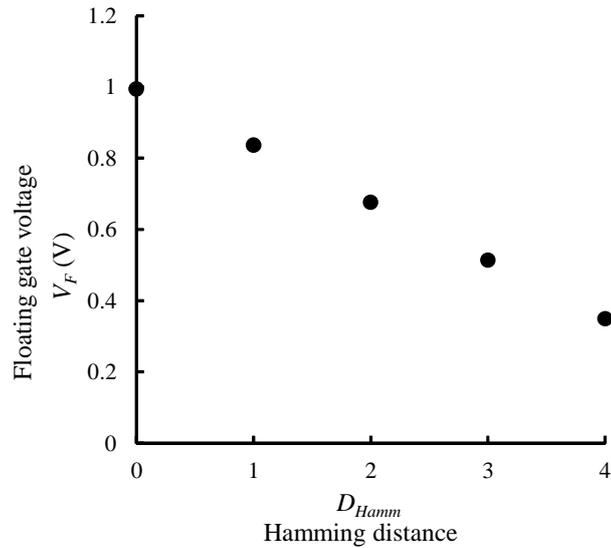


図 2.16 フローティングゲートの電圧とハミング距離の関係

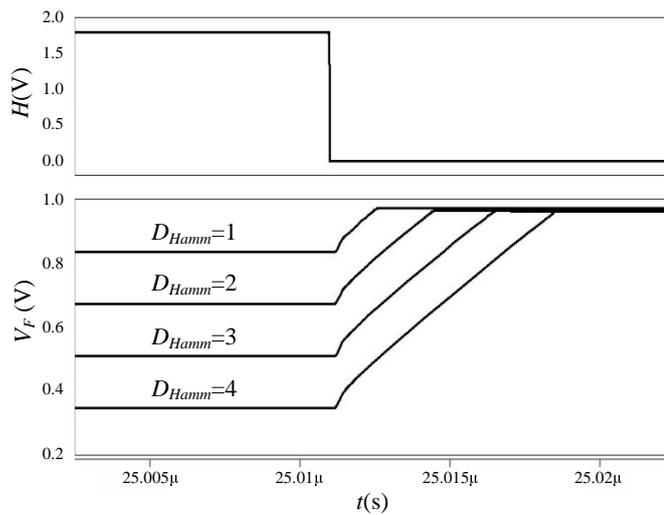


図 2.17 検索時間のシミュレーション結果

H がローレベルになってから ν CMOS のフローティングゲートの電圧 V_F が閾値電圧 V_{TH} に達するまでの時間は、ハミング距離に比例して増加することが分かる。図 2.18 は最小ハミング距離の変化に伴う ν CMOS のフローティングゲートの電圧が閾値電圧 V_{TH} に達するまでの時間を表したものである。

表 2.1 は、一致検索動作を確認するためのシミュレーションに使用した入力データ、参照データ、入力データと参照データのハミング距離、および対応する出力を表した表である。図 2.19 は、その動作波形である。図より、入力データに一致した参照データ B_4 と B_{14} に対応し

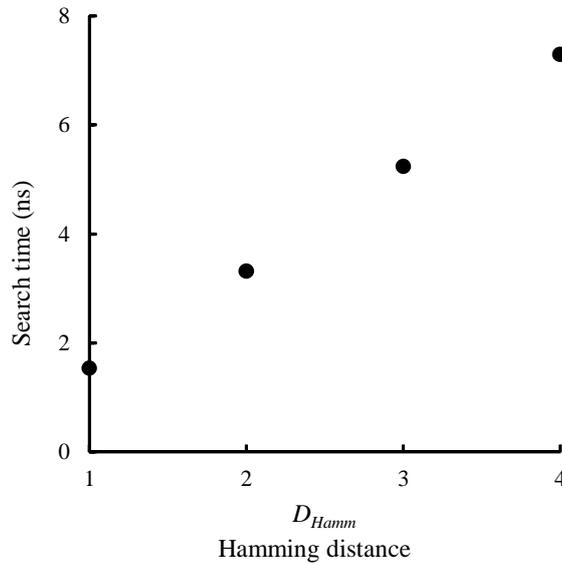


図 2.18 検索時間とハミング距離の関係

表 2.1 一致検索のシミュレーションに用いた入力パターン表

Input data	Reference data	Hamming distance	Output
A (00000111)	⋮	⋮	⋮
	$B_2(00000001)$	2	OUT_2
	$B_3(00000011)$	1	OUT_3
	$B_4(00000111)$	0	OUT_4
	$B_5(00001111)$	1	OUT_5
	⋮	⋮	⋮
	$B_{13}(00001111)$	1	OUT_{13}
	$B_{14}(00000111)$	0	OUT_{14}
	$B_{15}(00000011)$	1	OUT_{15}
	$B_{16}(00000001)$	2	OUT_{16}
	⋮	⋮	⋮

た出力 OUT_4 と OUT_{14} がハイレベルになっていることが分かる。これは、制御電圧 F がハイレベルになったとき、 B_4 と B_{14} が入力されているハミング距離検出回路のフローティングゲートの電圧 V_F が閾値電圧 V_{TH} を上回ったまま変化しないためである。

表 2.2 は、類似検索動作を確認するためのシミュレーションに使用した入力データ、参照データ、入力データと参照データのハミング距離、および対応する出力を表している。図 2.20 はその動作波形である。図より、制御電圧 F をハイレベルにしたとき、ハイレベルになる出力 OUT_j がないことから、入力データに一致した参照データが存在しないことが分かる。次に、制御電圧 H をローレベルにしたとき、ハミング距離が最も小さい 1 の B_2 と B_4 に対応する出力 OUT_2 と OUT_4 がハイレベルになっている。これは、制御電圧 F がハイレベルになったとき、それぞれのハミング距離検出回路のフローティングゲートの電圧 V_F がハミング距離に比例した分だけ下降するためである。また、制御電圧 H がローレベルになったときには、 V_F が上昇を始め、ハミング距離が最も小さい B_2 と B_4 が入力されているハミング距離検出回路のフローティングゲートの電圧が最も早く閾値電圧に達したためである。

表 2.3 は、ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリの性能諸元と従来回路との比較をまとめた表であり、提案回路が 64 ビット、64 ワードの場合のシミュレーション結果である。1 ビットあたりの検索速度は、提案回路は 1.55ns であるのに対

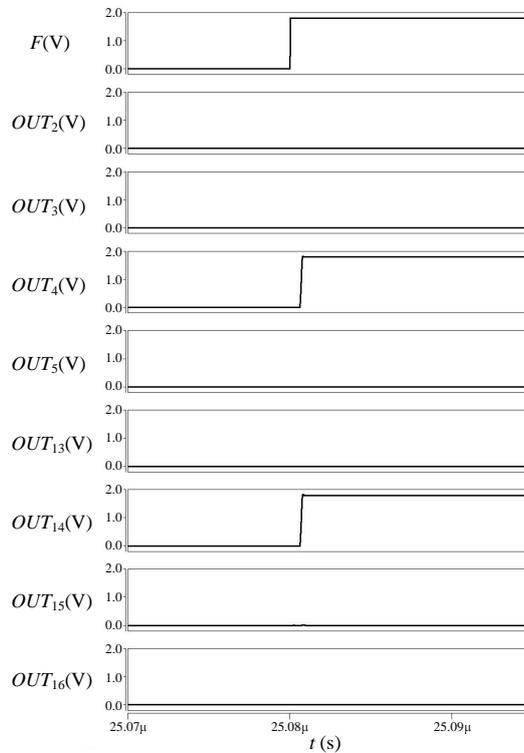


図 2.19 一致検索のシミュレーション結果

表 2.2 類似検索のシミュレーションに用いた入力パターン表

Input data	Reference data	Hamming distance	Output
A (00000101)	$B_1(00000001)$	2	OUT_1
	$B_2(00000011)$	1	OUT_2
	$B_3(00000111)$	2	OUT_3
	$B_4(00001111)$	1	OUT_4
	$B_5(00001111)$	2	OUT_5
	$B_6(00011111)$	3	OUT_6
	$B_7(00111111)$	4	OUT_7
	$B_8(01111111)$	5	OUT_8
	⋮	⋮	⋮

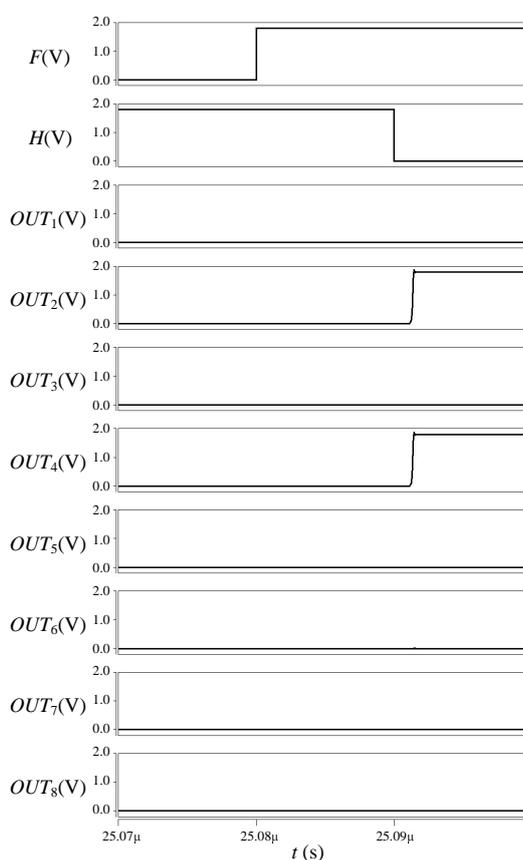


図 2.20 類似検索のシミュレーション結果

し，文献 [17] の回路は 0.97ns，文献 [18] の回路は 2.5ns であった．このことから，提案回路の検索速度が文献 [18] の回路に比べて 1.5 倍程度高速であることが分かる．また，提案回路は文献 [17] の回路に比べて 1 ビットあたりの計算速度は遅いものの，この回路の最低検索速

表 2.3 提案する最小ハミング距離検索回路と従来回路の比較

	Ref. [17]	Ref. [18]	This work (simulation)
Process	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS
Organization	256-bit, 64-word	64-bit, 32-word	64-bit, 64-word
Supply voltage	1.8V	1.8V	1.8V
Search time	50-245ns	4.9-158.0ns	3.98-99.18ns (32bit)
Power consumption	<36.5mW	<51.3mW	<13.54mW

度は 50ns に対し、提案回路は 3.98ns であることから、提案回路は、検索されるデータのハミング距離が小さい場合、文献 [17] より高速に検索することができる。これらの結果から、提案回路の検索速度は、[18] より高速であり、最小ハミング距離が小さい場合においては、文献 [17] の回路より高速であることが分かる。

次に、提案回路と市販のメモリの動作速度について比較してみる。現在、市販のメモリの中で最も高速な DDR4-4266 の転送速度は最大 34.1[GB/s] である。提案する連想メモリは完全並列動作なため、ワード数が増加してもその検索速度は変わらない。データのビット数が 64 ビットの場合、提案する連想メモリの最大検索時間は 99.18ns であり、DDR4-4266 の転送速度だけ見ても、約 400 ワード以上になると、連想メモリの方が高速に類似検索動作を行えることが分かる。

さらに、1 ビットあたりの消費電力は、提案回路が 3.3 μ W であるのに対し、文献 [17] の回路は 2.2 μ W、文献 [18] の回路は 25 μ W であった。このことから、提案回路は文献 [18] の回路に比べ、低消費電力であることが分かる。

2.5 集積化

本章で提案したニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリの集積化は、東京大学大規模集積システム設計教育センター (VDEC) を通じ、ローム株式会社 0.18 μ m プロセスを用いて行った。チップ試作では、寄生素子の影響を受けず確実に動作させるため、抵抗 R の値をシミュレーション時より大きく設計した。入力データと参照データのビット数は 8、データ数であるワード数は 32 に設定した。図 2.21 は、そのレイアウト図であり、面積は 1800 μ m \times 250 μ m となった。また、その動作を実チップによる実験によって検証した。

実験では、シミュレーションと同様に、電源電圧 V_{DD} に 1.8V を印加した。また、制御電圧 F には、デューティ比 34%、14.7kHz の信号を印加し、 H には F が立ち上がったから 1 μ s

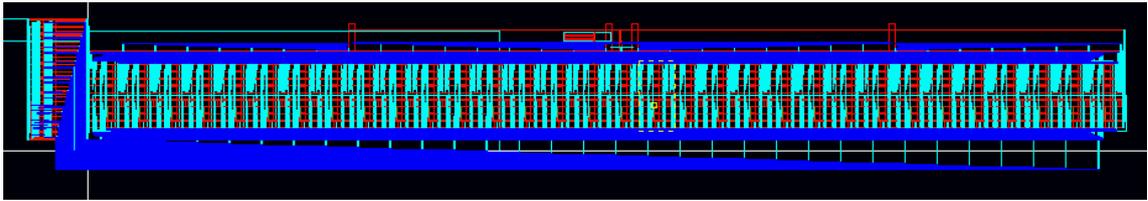


図 2.21 提案する最小ハミング距離検索連想メモリのレイアウト図

後に立ち下がり、 F の立ち下がりと同時に立ち上がる信号を印加した。

表 2.4 は、一致検索動作を確認するための実験に使用した入力データ、参照データ、入力データと参照データのハミング距離、および対応する出力を表した表である。図 2.22 は、その動作波形である。図より、入力データに一致した参照データ B_5 と B_{13} に対応した出力 OUT_5 と OUT_{13} がハイレベルになっており、提案する最小ハミング距離検索連想メモリによって一致検索動作が可能であることが分かる。

表 2.5 は、類似検索動作を確認するための実験に使用した入力データ、参照データ、入力データと参照データのハミング距離、および対応する出力を表した表である。図 2.23 は、その動作波形である。図より、入力データに最も類似したハミング距離 1 の参照データ B_4 と B_6 に対応した出力 OUT_4 と OUT_6 がハイレベルになっており、提案する最小ハミング距離検索連想メモリによって類似検索動作が可能であることが分かる。

表 2.4 提案する最小ハミング距離検索連想メモリの一一致検索の実験に用いた入力パターン表

Input data	Reference data	Hamming distance	Output
	⋮	⋮	⋮
	$B_4(00000111)$	1	OUT_4
	$B_5(00001111)$	0	OUT_5
	$B_6(00011111)$	1	OUT_6
	$B_7(00111111)$	2	OUT_7
A (00001111)	⋮	⋮	⋮
	$B_{11}(00111111)$	2	OUT_{11}
	$B_{12}(00011111)$	1	OUT_{12}
	$B_{13}(00001111)$	0	OUT_{13}
	$B_{14}(00000111)$	1	OUT_{14}
	⋮	⋮	⋮

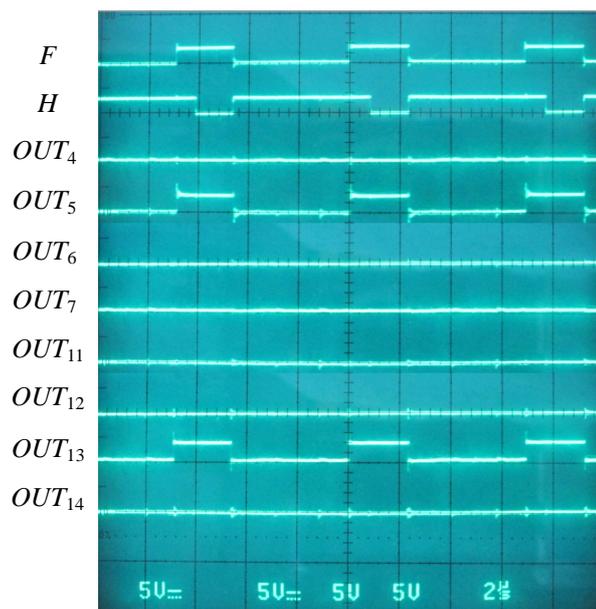


図 2.22 提案する最小ハミング距離検索連想メモリの一致検索の実験結果

表 2.5 提案する最小ハミング距離検索連想メモリの類似検索の実験に用いた入力パターン表

Input data	Reference data	Hamming distance	Output
A (00010111)	$B_1(00000000)$	4	OUT_1
	$B_2(00000001)$	3	OUT_2
	$B_3(00000011)$	2	OUT_3
	$B_4(00000111)$	1	OUT_4
	$B_5(00001111)$	2	OUT_5
	$B_6(00011111)$	1	OUT_6
	$B_7(00111111)$	2	OUT_7
	$B_8(01111111)$	3	OUT_8
	⋮	⋮	⋮

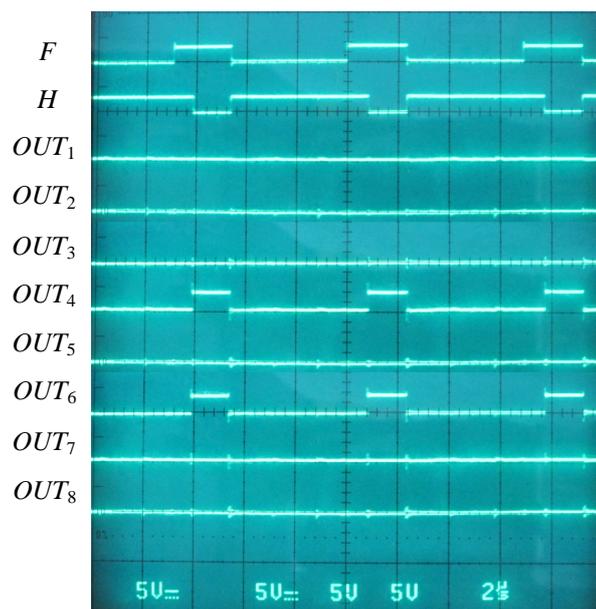


図 2.23 提案する最小ハミング距離検索連想メモリの一致検索の実験結果

2.6 結言

本章では、ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリを提案し、その動作解析とシミュレーションおよび実チップを用いた実験から以下のことを明らかにした。

2.2 節では、ニューロン MOS トランジスタおよびニューロン CMOS インバータの回路構成と基本動作について示した。2.3 節では、ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリの構造と動作について述べた。提案回路は、従来ニューロン MOS トランジスタを用いた場合において問題となっていた、フローティングゲートの初期電荷の影響をおよびトランジスタの閾値電圧の変動の影響を、検索動作の前にニューロン CMOS インバータのフローティングゲートと出力を接続することにより排除していることを明らかにした。ハミング距離をニューロン CMOS インバータのフローティングゲートの電圧に変換し、それを時間に変換することで、入力データに対し最もハミング距離が小さい参照データを検索できることを示した。2.4 節では、HSPICE を用いたシミュレーションにより、本最小ハミング距離検索連想メモリにより所期の動作が得られることを確認した。さらに、提案回路によって、従来の回路に比べて高速な検索動作が得られることを示した。2.5 節では、実チップを用いた実験により、集積化した場合においても、所期の動作が得られることを示した。

第3章 ニューロンCMOSインバータを用いた最小マンハッタン距離検索連想メモリ

3.1 序言

本章では、ニューロンCMOSインバータを用いた最小マンハッタン距離検索連想メモリを提案する。提案する最小マンハッタン距離検索連想メモリは、ニューロンCMOSインバータを用いることにより、マンハッタン距離をフローティングゲートの電圧に変換する。また、それを時間に変換することによって、マンハッタン距離を指標として入力データに一致または最も類似した参照データを完全並列で高速に検索することができる。

まず、ニューロンCMOSインバータを用いた最小マンハッタン距離検索連想メモリの構造と動作について述べる。次に、提案回路に用いられているマンハッタン距離検出回路、最小マンハッタン距離検索回路の構造と動作について述べ、その動作を理論的に解析する。また、ローム株式会社の $0.18\mu\text{m}$ CMOSプロセスを用いて、提案する最小マンハッタン距離検索連想メモリの回路設計を行った。さらにHSPICEを用いたシミュレーションによって所期の動作が得られることを確認した。

3.2 回路構成と動作

3.2.1 ニューロンCMOSインバータを用いた最小マンハッタン距離検索連想メモリ

図3.1は、提案するニューロンCMOSインバータを用いた最小マンハッタン距離検索連想メモリの回路構成である。入力データと参照データは N ビット $\times M$ 要素で構成し、比較する参照データの数であるワード数は L とした。ここで、 $\text{Register}_k (k=1, 2, \dots, L)$ は参照データを記憶するためのレジスタであり、Address Decoderは O ビットの制御信号 AD によってレジスタへの書込み信号 WL_k を出力するデコーダである。 Register_k とAddress Decoderは、

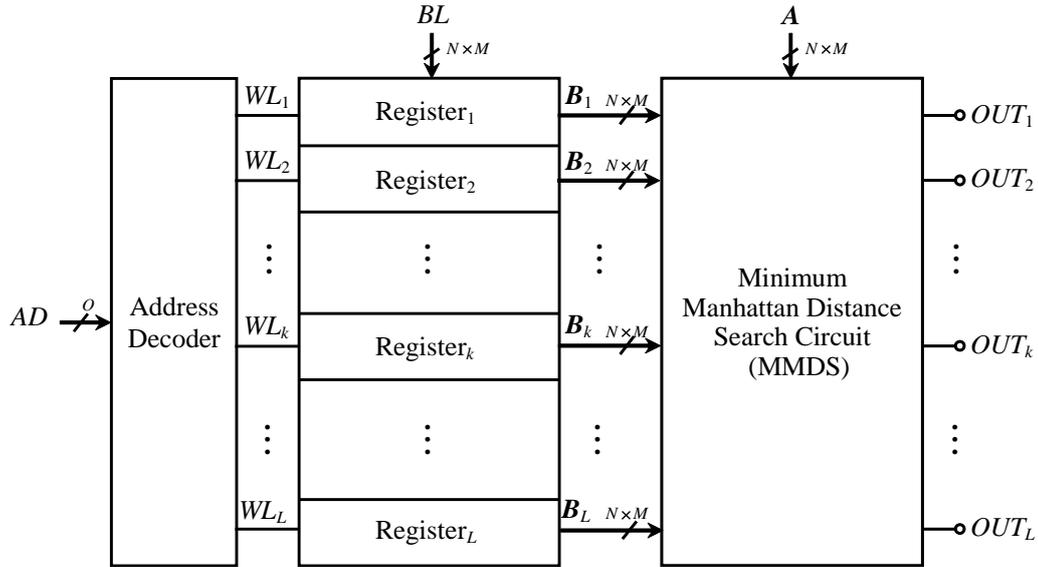


図 3.1 ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリ

最小ハミング距離検索連想メモリと同一の回路を用いている．また，Minimum Manhattan Distance Search Circuit (以下 MMDS) は，入力データに対して一致もしくはマンハッタン距離が最も小さい参照データを検索する回路である． BL は $Register_k$ に参照データを書き込むためのビット線， A は入力データ， B_k は $Register_k$ に保存されている入力データと比較するための参照データである．なお， A_j ， $B_{j,k}(j=1, 2, \dots, M)$ は， N ビットの 2 進数であり， $A=(A_1, \dots, A_j, \dots, A_M)$ と $B_k=(B_{1,k}, \dots, B_{j,k}, \dots, B_{M,k})$ は，これらを M 個要素とするベクトルである．このとき，マンハッタン距離 D_{Manh} は，入力データと参照データの各要素 A_j と $B_{j,k}$ の差の絶対値の総和であり，次式によって定義されている．

$$D_{Manh} = \sum_{j=1}^M |A_j - B_{j,k}| \quad (3.1)$$

ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリの動作は，前述の最小ハミング距離検索連想メモリと同様である．制御信号 AD が Address Decoder へ入力されると，その出力 $WL_k(k=AD)$ がハイレベルになり， $Register_k$ へビット線 BL から参照データが書き込まれる．これにより，各 $Register_k$ からは，書き込まれた参照データ B_k が出力される．最小マンハッタン距離検索回路 MMDS は，マンハッタン距離を指標として，入力データ A と参照データ B_k を比較し，完全に一致もしくは最も類似しているデータを検索する．また，提案する最小マンハッタン距離検索連想メモリは，マンハッタン距離が最小の参照データが複数ある場合においても，それら全てを検索することができる．

3.2.2 マンハッタン距離検出回路

ここでは、ニューロンCMOSインバータを用いた最小マンハッタン距離検索回路MMDSを構成するマンハッタン距離検出回路について説明する。マンハッタン距離検出回路は、入力データに対する参照データのマンハッタン距離を求める回路である。

図3.2は、ニューロンCMOSインバータを用いたマンハッタン距離検出回路である。また図3.3は、その等価回路である。なお、入力データと参照データのビット数を N 、要素数を M としている。ここで、 $\mathbf{A}=(A_1, \dots, A_j, \dots, A_M)$ は入力データ、 $\mathbf{B}=(B_1, \dots, B_j, \dots, B_M)$ は参照データであり、 $A_j=(a_{1,j}, \dots, a_{i,j}, \dots, a_{N,j})$ 、 $B_j=(b_{1,j}, \dots, b_{i,j}, \dots, b_{N,j})$ はそれぞれ N ビット、 M 要素の2進数である。 V_{DD} は電源電圧、 F は一致検出を開始するための制御電圧、 G はマンハッタン距離検出を開始するための制御電圧である。また、各スイッチは、MOSトランジスタにより構成されている。 SW_1 はニューロンCMOSインバータ ν CMOSのフローティングゲートの電圧 V_F を ν CMOSの閾値電圧 V_{TH} に設定するためのスイッチであり、 SW_2 は一致検出を可能にするためのスイッチである。 ν CMOS-フローティングゲート間容量 $C_{0,j}$ 、 $C_{i,j}$ 、 C_H は、次式を満足するように設計するものとする。

$$C_{0,j} = C \quad (3.2)$$

$$C_{i,j} = 2^{i-1}C \quad (3.3)$$

$$C_H = C \quad (3.4)$$

ここで、 C は単位容量である。 Sub_j は、 A_j と B_j の減算結果を出力する回路である。 Inv_j は減算結果が正の場合には Sub_j の値をそのまま出力し、負の場合には D_j を反転して出力する回路である。この2つの回路により、 $|A_j - B_j|$ を計算している。なお、 $|A_j - B_j|$ を求める際、 $A_j - B_j$ が負の場合には、減算結果を反転し、1を加える必要がある。しかし、提案回路は $borrow_j$ の値をニューロンCMOSインバータに接続することによって、その回路を不要としている。

ここで、本マンハッタン距離検出回路の動作について説明する。まず、制御電圧 F をローレベル、 G をハイレベル、スイッチ SW_1 を“ON”にし、 SW_2 を下側に接続する。これにより、 ν CMOSのフローティングゲートの電圧 V_F は、次式となる。

$$V_F = V_{TH} \quad (3.5)$$

続いて、 SW_1 を“OFF”にした後に、 SW_2 を上側に接続する。このときの ν CMOSのフローティングゲートの電圧 V_F について考える。入力端子-フローティングゲート間容量 C_x

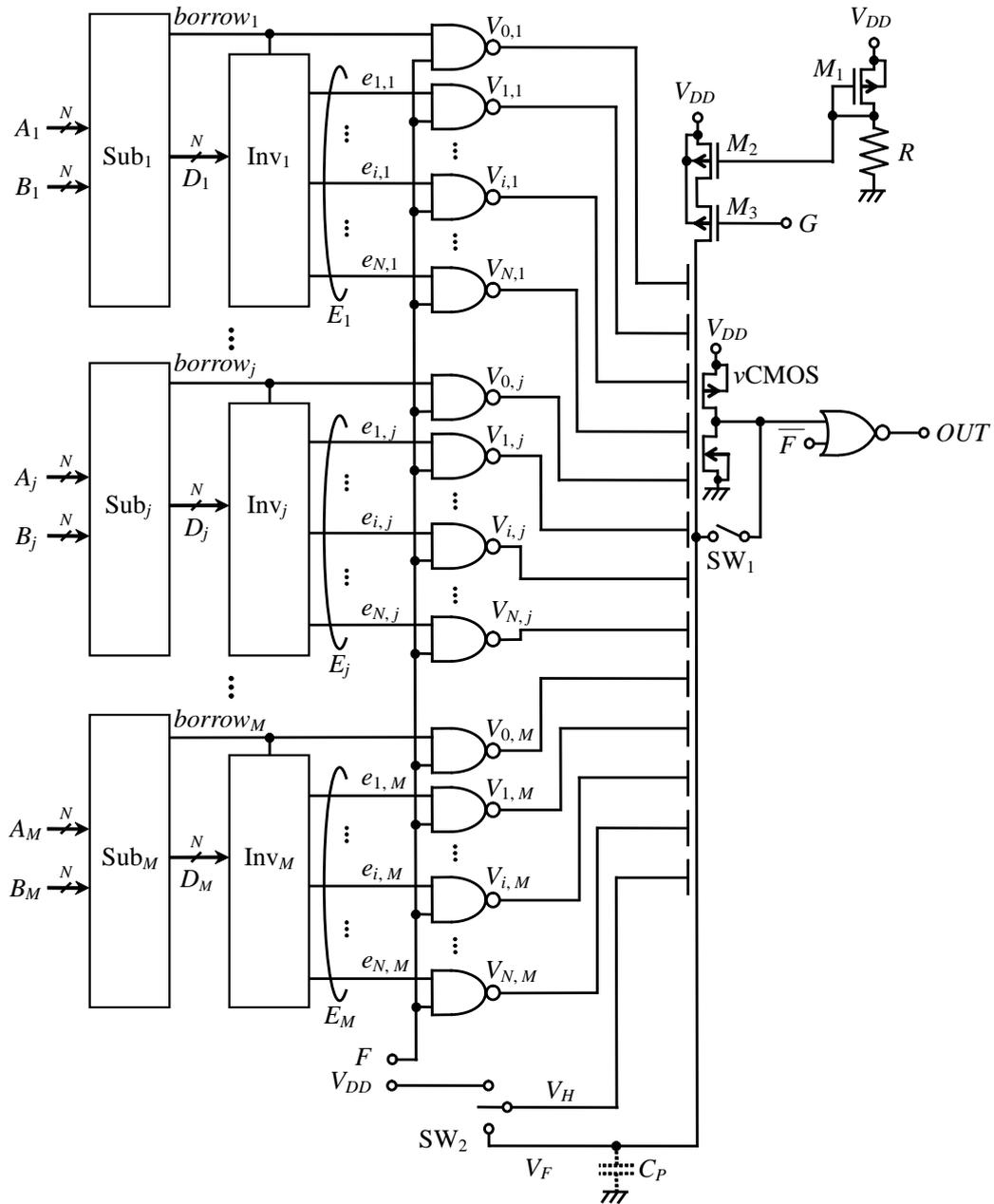


図 3.2 ニューロン CMOS インバータを用いたマンハッタン距離検出回路

を持つ入力端子の電圧が ΔV 変化した場合のフローティングゲートの電圧 V_F の変化量 ΔV_F は、次式のように表すことができる。

$$\Delta V_F = \frac{C_x}{C_T} \Delta V \quad (3.6)$$

ただし、式 (3.6) 中の C_T は、 ν CMOS の入力端子 – フローティングゲート間容量とフローティングゲート – 基板間に存在する寄生容量 C_P の総和であり、次式のように表される。

$$C_T = C_H + C_P + \sum_{j=1}^M \left(C_{0,j} + \sum_{i=1}^N C_{i,j} \right) \quad (3.7)$$

SW₂ を上側に接続すると、 ν CMOS の一番下の入力端子の電圧は V_{DD} から 0V に変化するので、式 (3.5), (3.6) より、フローティングゲートの電圧 V_F は、

$$V_F = V_{TH} + \frac{C_H}{C_T} (V_{DD} - V_{TH}) \quad (3.8)$$

となる。電源電圧 V_{DD} は閾値電圧 V_{TH} より大きくなるため、 ν CMOS の出力はローレベルになる。

次に、 j 要素の入力データ A_j と参照データ B_j が不一致であり、その差 E_j の i ビット目 $e_{i,j}$ および繰り下がり信号 $borrow_j$ がハイレベルの場合について考える。制御電圧 F をハイレベルにすると、NAND の出力 $V_{i,j}$ と $V_{0,j}$ は電源電圧 V_{DD} から 0V に変化する。このときのフローティングゲートの電圧 V_F を V'_F とすると、式 (3.6), (3.8) から、 V'_F は次式で表すことができる。

$$V'_F = V_{TH} + \frac{C_H}{C_T} (V_{DD} - V_{TH}) - \sum_{j=1}^M \left\{ \frac{C_{0,j}}{C_T} (V_{DD} - V_{0,j}) + \sum_{i=1}^N \frac{C_{i,j}}{C_T} (V_{DD} - V_{i,j}) \right\} \quad (3.9)$$

この式に、式 (3.2), (3.3), (3.4) を代入すると、

$$\begin{aligned} V'_F &= V_{TH} + \frac{C}{C_T} (V_{DD} - V_{TH}) \\ &\quad - \sum_{j=1}^M \left\{ \frac{C}{C_T} (V_{DD} - V_{0,j}) + \sum_{i=1}^N \frac{2^{i-1} C}{C_T} (V_{DD} - V_{i,j}) \right\} \\ &= V_{TH} + \frac{C}{C_T} (V_{DD} - V_{TH}) - \sum_{j=1}^M |A_j - B_j| \frac{C}{C_T} V_{DD} \end{aligned} \quad (3.10)$$

となり、式 (3.1) より、次式となる。

$$V'_F = V_{TH} + \frac{C}{C_T} (V_{DD} - V_{TH}) - D_{Manh} \frac{C}{C_T} V_{DD} \quad (3.11)$$

この式より、 V'_F が閾値電圧 V_{TH} を下回るため、 ν CMOS の出力はハイレベルになり、出力 OUT はローレベルのまま変化しない。ここで、 $borrow_j$ がハイレベルのとき、マンハッタン距離が1の分だけ V'_F が下降するため、 $A_j - B_j$ が負の場合は、 D_j を反転した値 E_j に1を加える回路が不要であることが分かる。入力データ $\mathbf{A}=(A_1, \dots, A_j, \dots, A_M)$ と参照データ $\mathbf{B}=(B_1, \dots, B_j, \dots, B_M)$ が完全に等しい場合、 E_j は全て0になり、NANDの出力は全てハイレベルのままであるため、フローティングゲートの電圧 V_F は式(3.8)から変化しない。従って、 ν CMOSの出力電圧もローレベルのまま変化せず、出力 OUT はハイレベルになる。これにより、入力データと参照データの一致検出を行うことが可能となる。

式(3.9)より、入力データ $\mathbf{A}=(A_1, \dots, A_j, \dots, A_M)$ と参照データ $\mathbf{B}=(B_1, \dots, B_j, \dots, B_M)$ が等しくない場合、フローティングゲートの電圧 V_F はマンハッタン距離 D_{Manh} に比例した分だけ下降することが分かる。制御電圧 G をローレベルにすると、MOSトランジスタ M_3 は“ON”になり、 M_1, M_2, R からなるカレントミラー回路より定電流が流れ始める。これにより、フローティングゲートの電圧 V_F は、 V'_F から直線的に上昇を始める。これが ν CMOS の閾値電圧 V_{TH} を超えるとニューロンCMOSインバータの出力はローレベル、出力 OUT はハイレベルになる。 M_3 を介して流れる定電流を I とすると、制御電圧 G がローレベルの状態から出力 OUT がハイレベルになるまでの時間 T は、

$$T = \frac{C_T(V_{TH} - V'_F)}{I} \quad (3.12)$$

と表すことができる。これに式(3.11)を代入すると、

$$\begin{aligned} T &= \frac{C_T \left\{ V_{TH} - V_{TH} - \frac{C}{C_T}(V_{DD} - V_{TH}) + D_{Manh} \frac{C}{C_T} V_{DD} \right\}}{I} \\ &= D_{Manh} \frac{C}{I} V_{DD} - \frac{C}{I} (V_{DD} - V_{TH}) \end{aligned} \quad (3.13)$$

となる。式(3.13)より、制御電圧 G がローレベルの状態から出力 OUT がハイレベルになるまでの時間 T は、寄生容量および初期電荷の影響を受けないことが分かる。また、マンハッタン距離が1異なる場合の時間差 ΔT は、

$$\Delta T = \frac{C}{I} V_{DD} \quad (3.14)$$

となり、温度や製造時における閾値電圧 V_{TH} の変動が、マンハッタン距離に対する時間の差に影響を与えないことが分かる。

3.2.3 最小マンハッタン距離検索回路

図 3.4 は、ニューロン CMOS インバータを用いた最小マンハッタン距離検索回路 MMDS である。また、図 3.5 は、その等価回路である。本最小マンハッタン距離検索回路は、前節のマンハッタン距離検出回路をワード数 L 個並べて構成しており、マンハッタン距離検出回路の MOS トランジスタ M_3 のゲート端子には、多入力 OR 回路の出力が接続されている。また、 H は類似検索のための制御電圧であり、ローレベルにすると類似検索を開始する。

ここで、本回路の動作について述べる。入力データ $\mathbf{A}=(A_1, \dots, A_j, \dots, A_M)$ と完全に一致している参照データ $\mathbf{B}_k=(B_1, \dots, B_j, \dots, B_M)$ が存在する場合、制御電圧 F をハイレベルにすると、その箇所のマンハッタン距離検出回路の出力 OUT_k がハイレベルになる。一方、入力データに対して完全に一致している参照データ \mathbf{B}_k が存在しない場合、出力 OUT_k はローレベルのままである。

入力データと完全に一致した参照データが存在せず、類似検索を行いたい場合は、制御電圧 F をハイレベルにした後に、制御電圧 H をローレベルにする。これにより、全てのマンハッタン距離検出回路の MOS トランジスタ M_3 は“ON”になるため、 M_1 , M_2 , R からなるカレントミラー回路より定電流が流れ始め、フローティングゲートへの充電が始まる。最小マンハッタン距離検索回路 MMDS に用いたマンハッタン距離検索回路は、マンハッタン距離を時間に変換している。そのため、入力データに対してマンハッタン距離が最も小さい参照データの箇所のマンハッタン距離検出回路のフローティングゲートの電圧が最も早く閾値電圧に達し、その箇所の OUT_k が最初にハイレベルになる。この時点で M_3 は“OFF”になるため、全てのフローティングゲートへの充電が停止する。従って、入力データに対して最もマンハッタン距離が小さい参照データの箇所の OUT_k がハイレベルになることが分かる。

以上の動作により、本回路は、制御電圧 F をハイレベルにすることによって、複数の参照データの中から入力データに完全に一致した参照データを検索することができる。また、制御電圧 H をローレベルにすることで、マンハッタン距離を指標に入力データに最も類似した参照データを検索することが可能となる。

3.3 シミュレーション結果

3.2.1 節で提案した最小マンハッタン距離検索連想メモリのシミュレーション結果を示す。シミュレーションは、Cadence 社の IC Virtuoso® Schematic Editor XL を用いて設計し、Synopsys 社の HSPICE を用いて行った。SPICE パラメータとして、ローム株式会社 $0.18\mu\text{m}$ CMOS プロセスを用いた。また、電源電圧 V_{DD} は 1.8V 、ニューロン CMOS インバータのフローティ

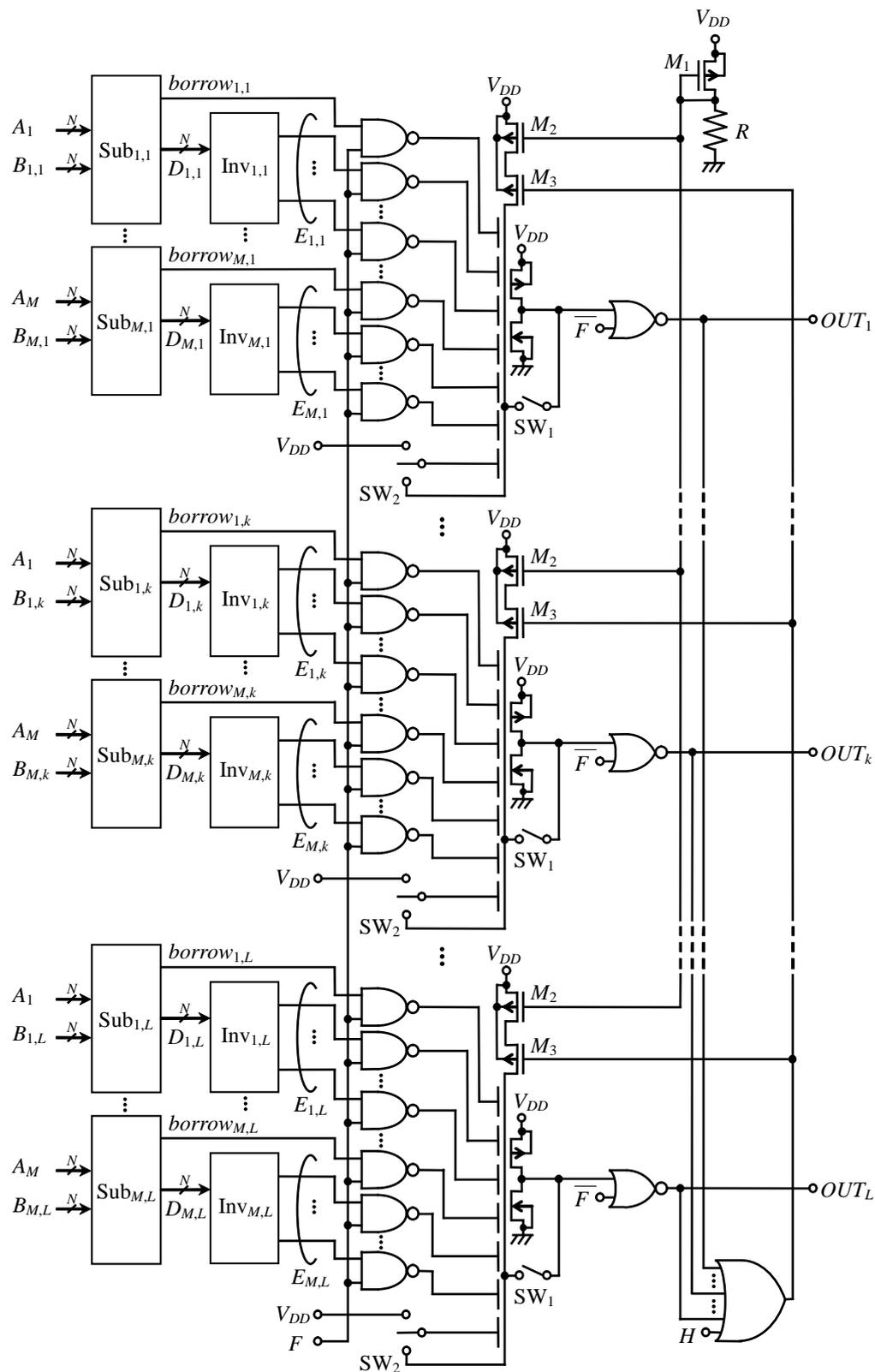


図 3.4 ニューロン CMOS インバータを用いた最小マンハッタン距離検索回路

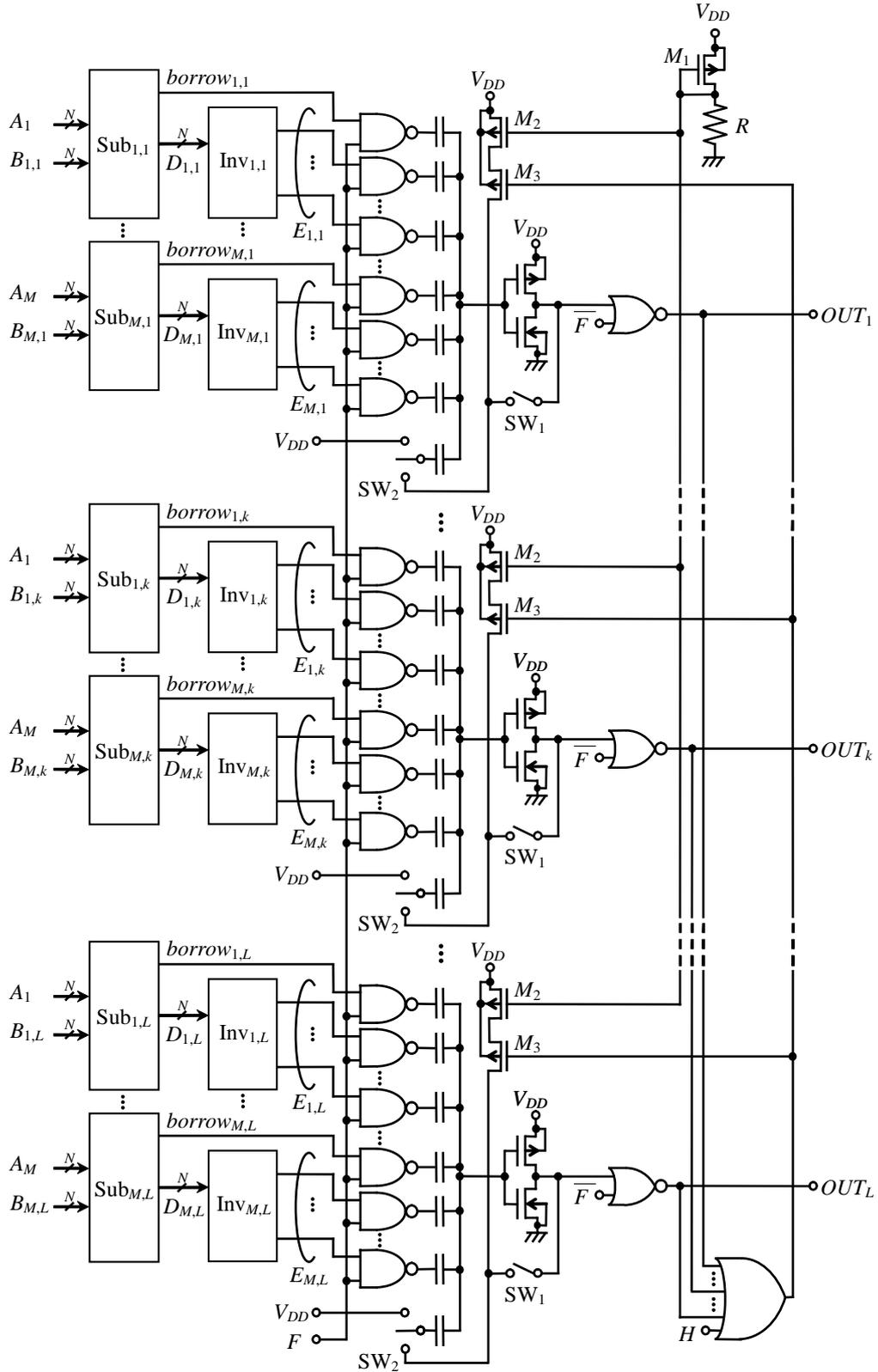


図 3.5 ニューロン CMOS インバータを用いた最小マンハッタン距離検索回路の等価回路

ングゲートに対する閾値電圧 V_{TH} は V_{DD} の半分の $0.9V$ にして行った。なお、シミュレーションには図3.5の等価回路を用いた。

図3.6は、入力データに対してそれぞれマンハッタン距離が0~16の参照データが入力されている場合における、最小マンハッタン距離検索連想メモリのフローティングゲートのシミュレーション結果である。参照データは、4ビット、2要素、8ワードに設定した。図において、 t_1 は制御電圧 F をローレベル、 SW_1 を“ON”， SW_2 を下側に接続した時点、 t_2 は SW_1 を“OFF”， SW_2 を上側に接続した時点、 t_3 は制御電圧 F をハイレベルにした時点を表している。フローティングゲートの電圧 V_F は、時点 t_1 で閾値電圧 V_{TH} と等しくなり、時点 t_2 で上昇し V_{TH} を上回る。また、時点 t_3 では、マンハッタン距離 D_{Manh} に比例して ν CMOS のフローティングゲートの電圧 V_F が下降していることが分かる。図3.7は、時点 t_3 でのフローティングゲートの電圧 V_F である。フローティングゲートの電圧 V_F は、マンハッタン距離の1次関数で表されることが分かる。

図3.8は、ニューロンCMOSインバータを用いた最小マンハッタン距離検索連想メモリの検索時間のシミュレーション結果であり、入力データに対して参照データの最小マンハッタン距離が0~16のときのそれぞれのシミュレーション結果を重ねた波形である。図3.9は最

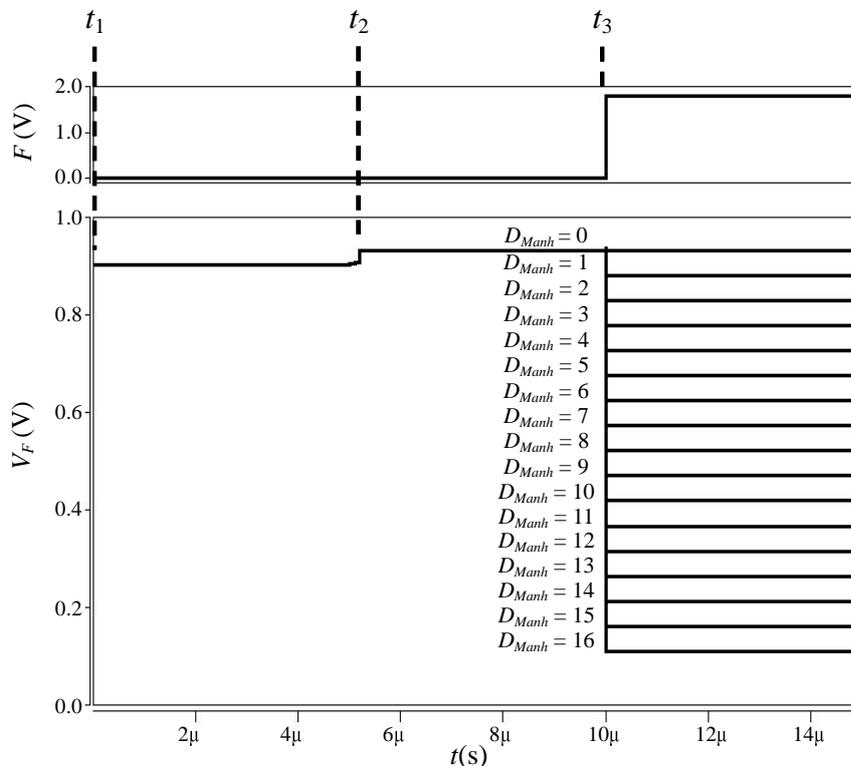


図 3.6 フローティングゲートのシミュレーション結果

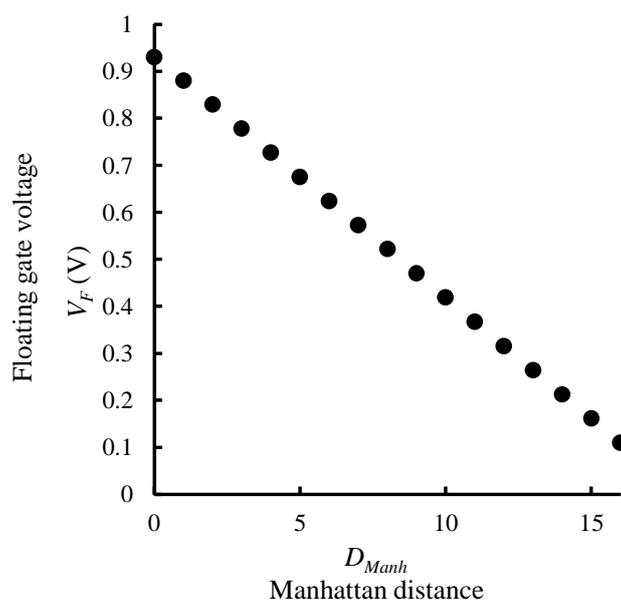


図 3.7 フローティングゲートの電圧とマンハッタン距離の関係

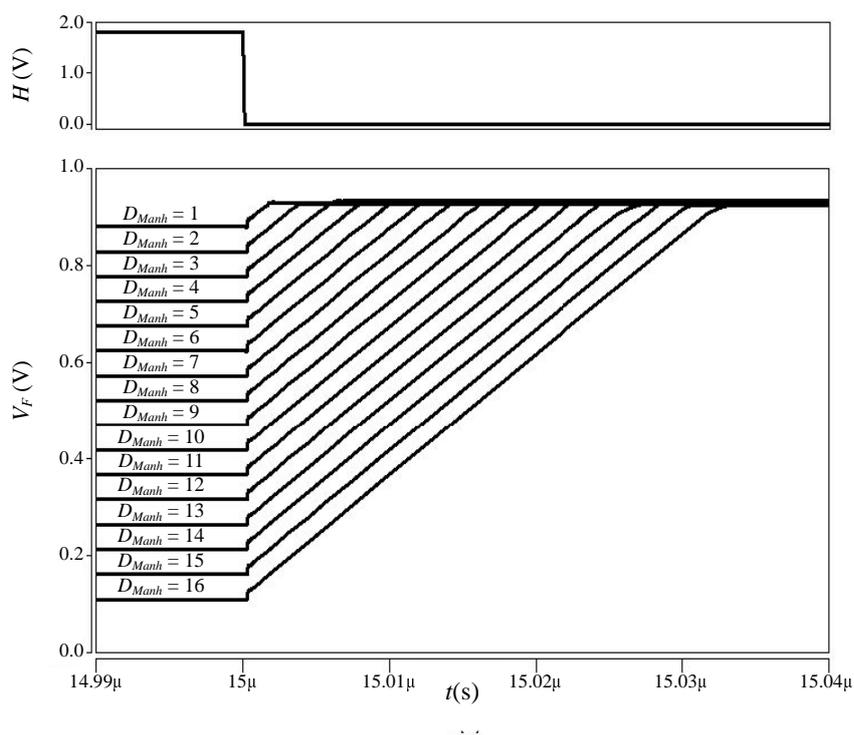


図 3.8 検索時間のシミュレーション結果

小マンハッタン距離の変化に伴う ν CMOS のフローティングゲートの電圧が閾値電圧 V_{TH} に達するまでの時間である。図より、制御電圧 H がローレベルになってから ν CMOS のフロー

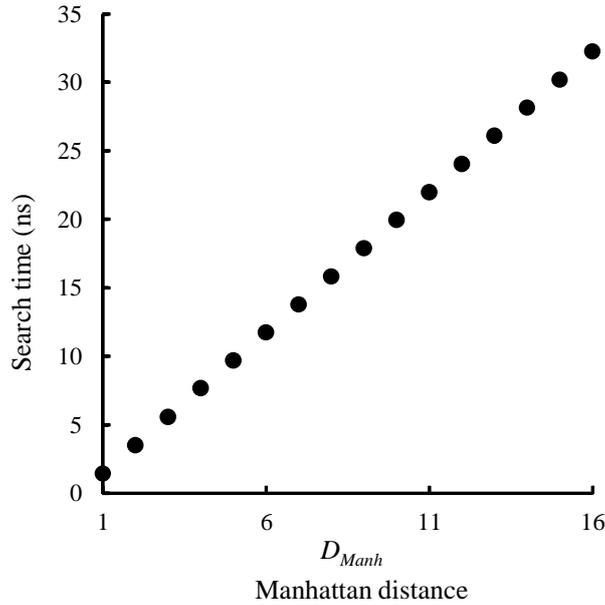


図 3.9 検索時間とマンハッタン距離の関係

ティンゲートの電圧 V_F が閾値電圧 V_{TH} に達するまでの時間はマンハッタン距離に比例して増加していることが分かる。

表 3.1 は、一致検索動作を確認するためのシミュレーションに使用した入力データ、参照データ、入力データと参照データのマンハッタン距離、および対応する出力を表した表である。図 3.10 は、その動作波形である。図より、入力データに一致した参照データ B_2 に対応した出力 OUT_2 がハイレベルになっていることが分かる。これは、制御電圧 F がハイレベルになったとき、 OUT_2 が入力されているマンハッタン距離検出回路のフローティンゲートの電圧 V_F が閾値電圧 V_{TH} を上回ったまま変化しないためである。

表 3.1 提案する範囲内マンハッタン距離検索連想メモリの範囲内検索のシミュレーションに用いた入力パターン表

Input data	Reference data	Manhattan distance	Output
A $(A_1 = 5,$ $A_2 = 10)$	$B_1(B_{1,1} = 5, B_{2,1} = 11)$	1	OUT_1
	$B_2(B_{1,2} = 5, B_{2,2} = 10)$	0	OUT_2
	$B_3(B_{1,3} = 5, B_{2,3} = 9)$	1	OUT_3
	$B_4(B_{1,4} = 5, B_{2,4} = 8)$	2	OUT_4
	$B_5(B_{1,5} = 5, B_{2,5} = 7)$	3	OUT_5
	$B_6(B_{1,6} = 5, B_{2,6} = 6)$	4	OUT_6
	$B_7(B_{1,7} = 5, B_{2,7} = 5)$	5	OUT_7
	$B_8(B_{1,8} = 5, B_{2,8} = 4)$	6	OUT_8

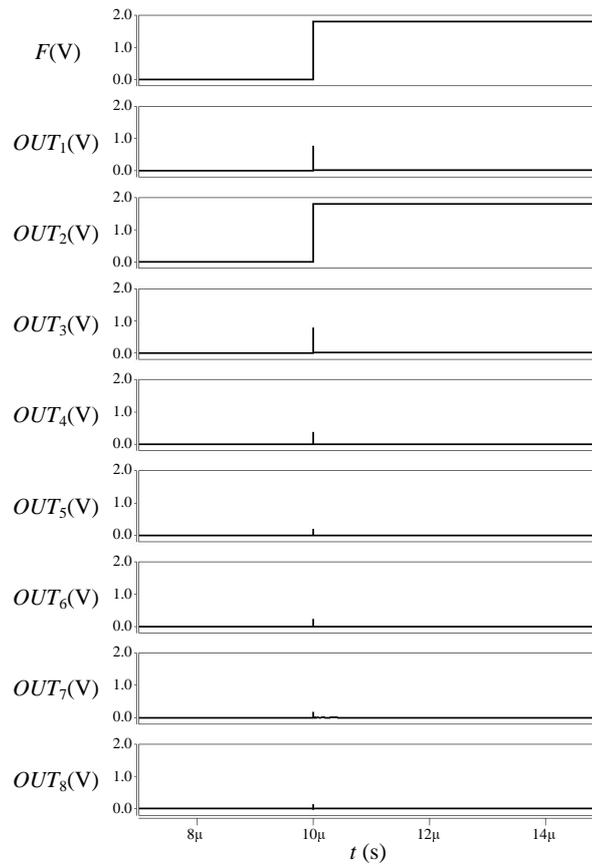


図 3.10 提案する最小マンハッタン距離検索連想メモリの一致検索のシミュレーション結果

表 3.2 提案する最小マンハッタン距離検索連想メモリの類似検索のシミュレーションに用いた入力パターン表

Input data	Reference data	Manhattan distance	Output
\mathbf{A} $(A_1 = 5,$ $A_2 = 10)$	$\mathbf{B}_1(B_{1,1} = 5, B_{2,1} = 8)$	2	OUT_1
	$\mathbf{B}_2(B_{1,2} = 5, B_{2,2} = 9)$	1	OUT_2
	$\mathbf{B}_3(B_{1,3} = 5, B_{2,3} = 11)$	1	OUT_3
	$\mathbf{B}_4(B_{1,4} = 5, B_{2,4} = 12)$	2	OUT_4
	$\mathbf{B}_5(B_{1,5} = 5, B_{2,5} = 13)$	3	OUT_5
	$\mathbf{B}_6(B_{1,6} = 5, B_{2,6} = 14)$	4	OUT_6
	$\mathbf{B}_7(B_{1,7} = 5, B_{2,7} = 15)$	5	OUT_7
	$\mathbf{B}_8(B_{1,8} = 6, B_{2,8} = 15)$	6	OUT_8

表 3.2 は、類似検索動作を確認するためのシミュレーションに使用した入力データ、参照データ、入力データと参照データのマンハッタン距離、および対応する出力を表している。図 3.11 は、その動作波形である。図より、制御電圧 F をハイレベルにしたとき、ハイレベル出

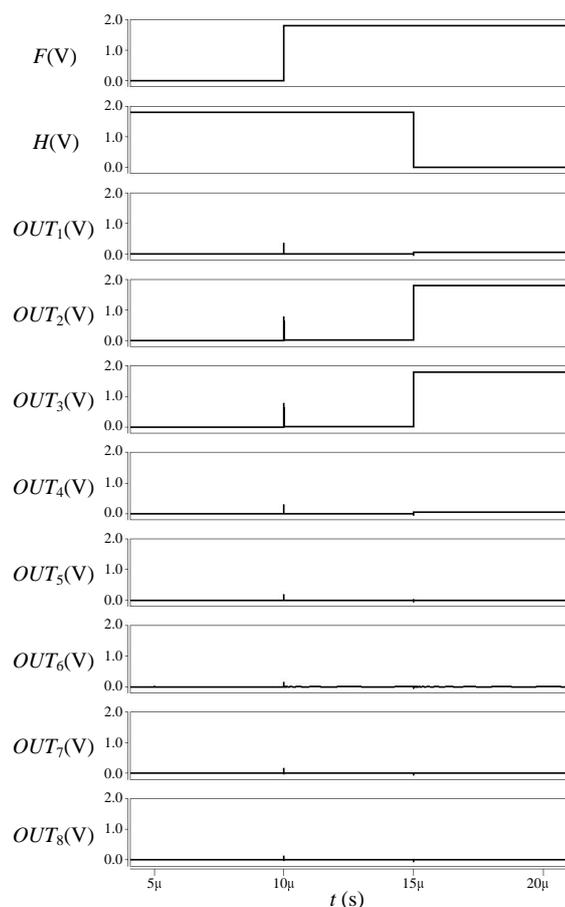


図 3.11 提案する最小マンハッタン距離検索連想メモリの類似検索のシミュレーション結果

力 OUT_k がないことから，入力データに一致した参照データが存在しないことが分かる．次に，制御電圧 H をローレベルにした場合，マンハッタン距離が 1 の参照データ B_2 と B_3 に対応した出力 OUT_2 と OUT_3 がハイレベルになっている．これは，制御電圧 F がハイレベルになったとき， V_F が上昇を始め，マンハッタン距離が最も小さい B_2 と B_3 が入力されているマンハッタン距離検出回路のフローティングゲートの電圧が最も早く閾値電圧に達したためである．

表 3.3 は，ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリの性能諸元と従来回路との比較をまとめた表である．なお，提案回路が 8 ビット，2 要素，6 ワードの場合のシミュレーション結果である．1 ビットあたりの検索速度は，提案回路は 4.2ns であるのに対し，文献 [23] の回路は 3ns，文献 [25] の回路は 14.3ns であった．このことから，提案回路の検索速度が文献 [25] の回路より 3 倍程度高速であることが分かる．また，提案回路の検索速度は，文献 [23] の回路に比べ，低速であるものの，1 ビットあたりの消費電力は，提案回路が 0.19mW であるのに対し，文献 [23] の回路は 2.5mW，文献 [25] の回路は 1.25mW

表 3.3 提案する最小マンハッタン距離検索回路と従来回路の比較

	Ref. [23]	Ref. [25]	This work (simulation)
Process	0.35 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS
Organization	5-bits, 16-element, 128-word	8-bit, 32-element, 64-word	4-bit, 2-element, 8word
Supply voltage	3.3V	1.8V	1.8V
Search time	<240ns	1.65 μ -2.00 μ s	1.43ns-32.27ns
Power consumption	<200mW	<320.7mW	<1.53mW

であった。このことから、提案回路の消費電力は、文献 [23] の回路の消費電力の約 7.6%、文献 [23] の回路の消費電力の約 15.2%と大幅に削減できることが分かる。

3.4 結言

本章では、ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリを提案し、その動作解析とシミュレーションおよび実チップを用いた実験から以下のことを明らかにした。

3.2 節では、ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリを解析した。また、提案回路は、従来ニューロン MOS トランジスタを用いた場合において問題となっていた、フローティングゲートの初期電荷の影響をおよびトランジスタの閾値電圧の変動の影響を、検索動作の前にニューロン CMOS インバータのフローティングゲートと出力を接続することにより排除していることを明らかにした。また、マンハッタン距離をニューロン CMOS インバータのフローティングゲートの電圧に変換し、それを時間に変換することで、入力データに対し最もマンハッタン距離が小さい参照データを検索できることを示した。3.3 節では、HSPICE を用いたシミュレーションにより、本最小マンハッタン距離検索連想メモリにより所期の動作が得られることを確認した。さらに、従来回路に比べ、80%以上の消費電力を削減できることを示した。

第4章 ニューロン CMOS インバータを用いた範囲内距離検索連想メモリ

4.1 序言

本章では、ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリおよび最小マンハッタン距離検索連想メモリをさらに発展させた、ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリと範囲内マンハッタン距離検索連想メモリを提案する。本章で提案する2種類の範囲内距離検索連想メモリは、ハミング距離およびマンハッタン距離を外部から指定し、その距離内のデータを全て検索することが可能である。

まず、ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリの構造と動作について述べ、この範囲内ハミング距離検索連想メモリに用いられている範囲内ハミング距離検索回路の構造と動作について記す。次に、ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリの構造と動作について述べ、この回路に用いられている範囲内マンハッタン距離検索回路の構造と動作について記す。また、ローム株式会社の $0.18\mu\text{m}$ CMOS プロセスを用いて、提案する範囲内距離検索連想メモリの回路設計を行った。さらに、HSPICE を用いたシミュレーションによって提案回路により所期の動作が得られることを確認した。

4.2 回路構成と動作

4.2.1 ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリ

図4.1は、提案するニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリの回路構成である。ここで、 N は入力データと参照データのビット数、 M は比較する参照データの数であるワード数である。Register _{j} と Address Decoder は2章で提案した最小ハミング距離検索連想メモリと同一のものを用いている。Wide-Range Hamming Distance Search Circuit (以下 WHDS) は、ハミング距離を外部から指定し、そのハミング距離内のデータを

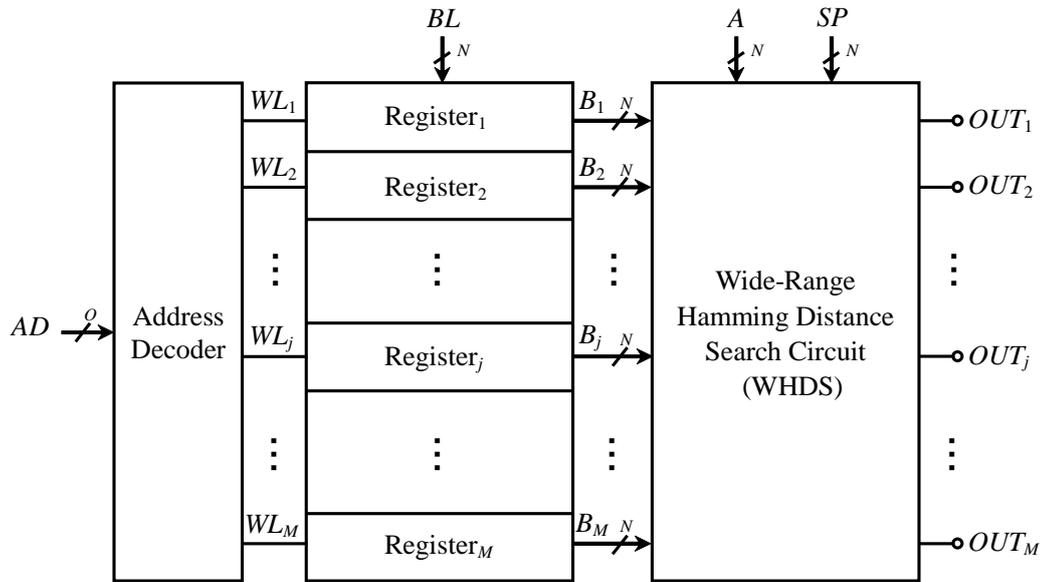


図 4.1 ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリ

全て検索する機能を持つ範囲内ハミング距離検索回路である。また、 BL は $Register_j$ に参照データを書き込むためのビット線、 A は入力データ、 B_j は $Register_j$ に保存されている入力データと比較するための参照データ、 SP は、ハミング距離の検索範囲を指定する制御電圧である。

いま、制御信号 AD が Address Decoder へ入力されると、その出力 $WL_j (j=AD)$ はハイレベルとなり、 $Register_j$ へビット線 BL から参照データが書き込まれる。これにより、書き込まれた参照データの値 B_j は各 $Register_j$ より参照データとして出力される。範囲内ハミング距離検索回路 WHDS は、入力データ A と参照データ B_j を比較し、制御電圧 SP によって指定したハミング距離内の参照データを全て検索する。

4.2.2 範囲内ハミング距離検索回路

図 4.2 は、ニューロン CMOS インバータを用いた範囲内ハミング距離検索回路 WHDS である。また、図 4.3 は図 4.2 の等価回路である。本範囲内ハミング距離検索回路は、前章のハミング距離検出回路をワード数 M 個と範囲指定用の 1 個分を合わせた数分並べて構成しており、ハミング距離検出回路の MOS トランジスタ M_3 のゲート端子には、OR 回路の出力が接続されている。 $A=(a_1, a_2, \dots, a_N)$ は入力データであり、 $B_j=(b_{1,j}, b_{2,j}, \dots, b_{N,j})$ は参照データ、 $SP=(sp_1, sp_2, \dots, sp_N)$ は、ハミング距離の検索範囲を指定する制御電圧である。制御電圧 sp_i には、検索する範囲のハミング距離の数だけハイレベルを入力しておく。

次に、本範囲内ハミング距離検索回路の動作について述べる。制御電圧 F をローレベルに

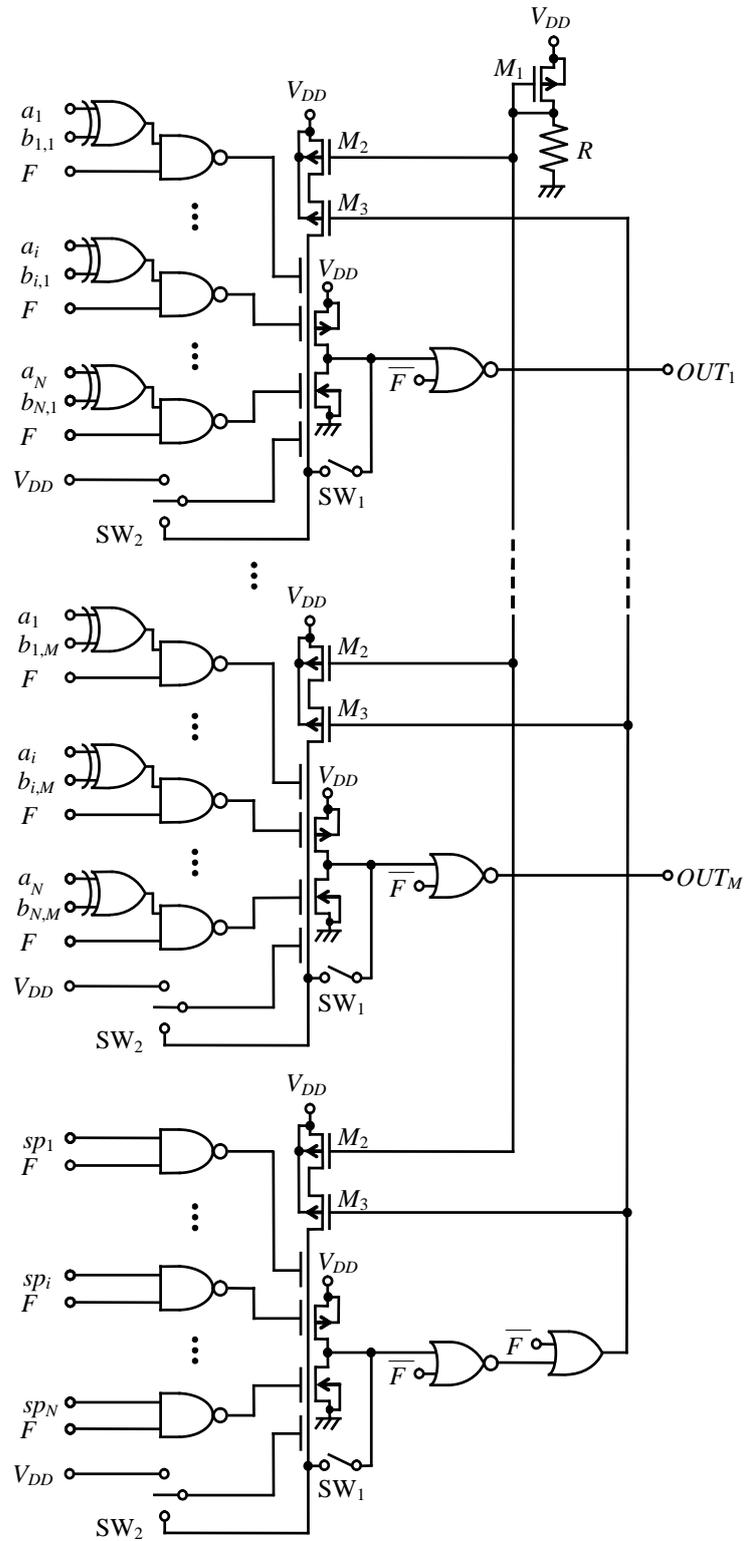


図 4.2 ニューロン CMOS インバータを用いた範囲内ハミング距離検索回路

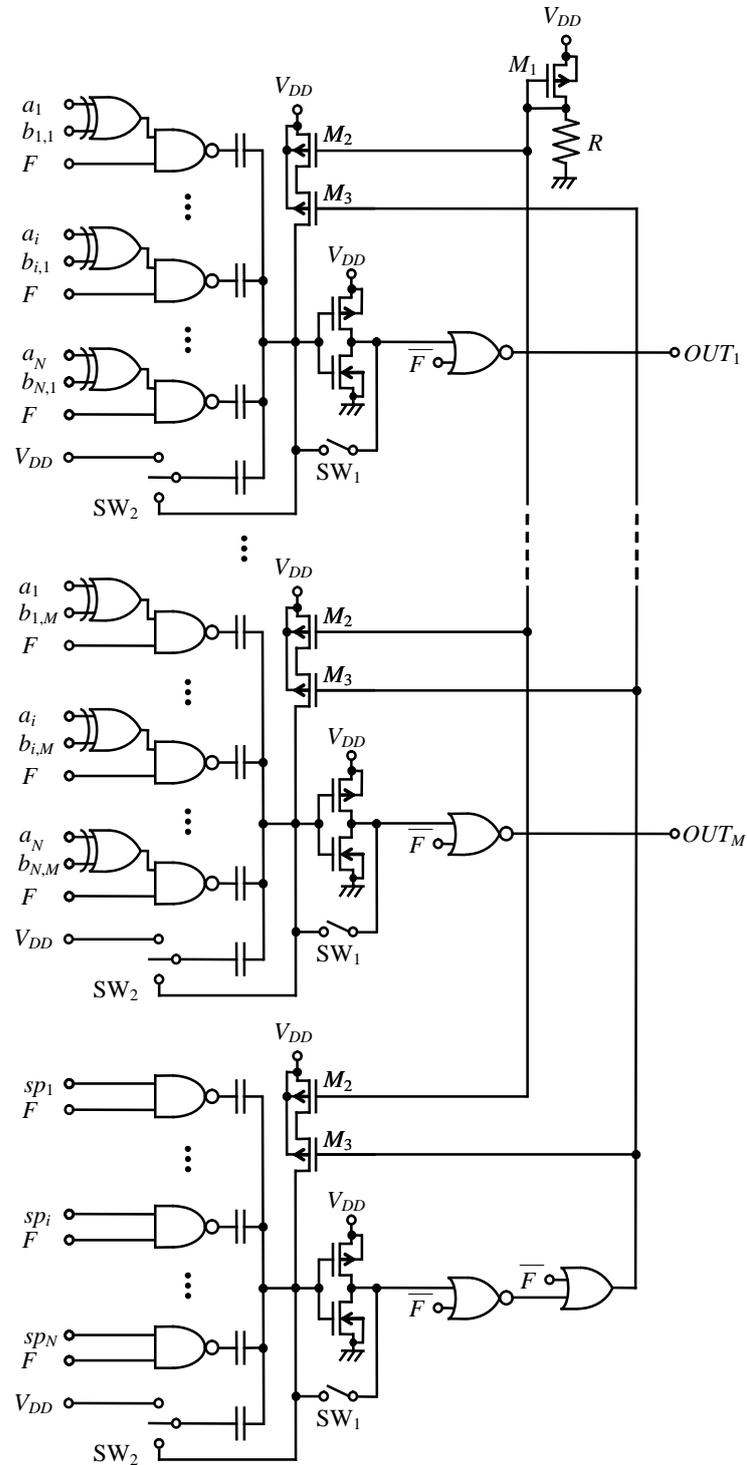


図 4.3 ニューロン CMOS インバータを用いた範囲内ハミング距離検索回路の等価回路

すると、全てのハミング距離検出回路の MOS トランジスタ M_3 は“ON”になる。これにより、 M_1 , M_2 , R からなるカレントミラー回路より定電流が流れ始め、全てのフローティングゲートへの充電が始まる。フローティングゲートの電圧は直線的に上昇を始め、範囲指定用のハミング距離検出回路の出力がハイレベルになると、 M_3 は“OFF”になり、フローティングゲートへの充電は停止する。ハミング距離検出回路は、ハミング距離を時間に変換しているため、範囲指定用のハミング距離検出回路の出力がハイレベルになるまでの時間は、 SP にハイレベルを入力した数に比例する。従って、入力したハミング距離以内のハミング距離を持つ参照データの箇所の OUT_j がハイレベルになることが分かる。

以上の動作により、本範囲内ハミング距離検出回路は、複数の参照データの中から SP により指定したハミング距離内の全ての参照データを検索することが可能となる。

4.2.3 ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリ

図 4.4 は、提案するニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリの回路構成である。入力データと参照データは、 N ビット \times M 要素で構成し、比較する参照データの数であるワード数は L とした。Register $_k$ と Address Decoder は 2 章で提案した最小ハミング距離検索連想メモリと同一の回路を用いている。また、Wide-Range Manhattan Distance Search Circuit (以下 WMDS) は、マンハッタン距離を外部から指定し、そのマンハッタン距離内のデータを全て検索する機能を持つ範囲内マンハッタン距離検出回路である。BL は Register $_k$ に参照データを書き込むためのビット線、 A は入力データ、 B_k は Register $_k$ に保存されている入力データと比較するための参照データ、 SP はハミング距離の検索範囲を指定する制御電圧である。

次に、提案する範囲内マンハッタン距離検索連想メモリの動作を説明する。制御信号 AD が Address Decoder へ入力されると、その出力 $WL_k(k=AD)$ がハイレベルになり、ビット線 BL から Register $_k$ へ参照データが書き込まれる。これにより、各 Register $_k$ からは、書き込まれた参照データの値 B_k が参照データとして出力される。範囲内ハミング距離検出回路 WMDS は、入力データ A と参照データ B_k を比較し、制御電圧 SP によって指定したハミング距離内の参照データを全て検索する。

4.2.4 範囲内マンハッタン距離検出回路

図 4.5 は、ニューロン CMOS インバータを用いた範囲内マンハッタン距離検出回路 WMDS である。また、図 4.5 は図 4.6 の等価回路である。本範囲内マンハッタン距離検出回路は、3.2.1

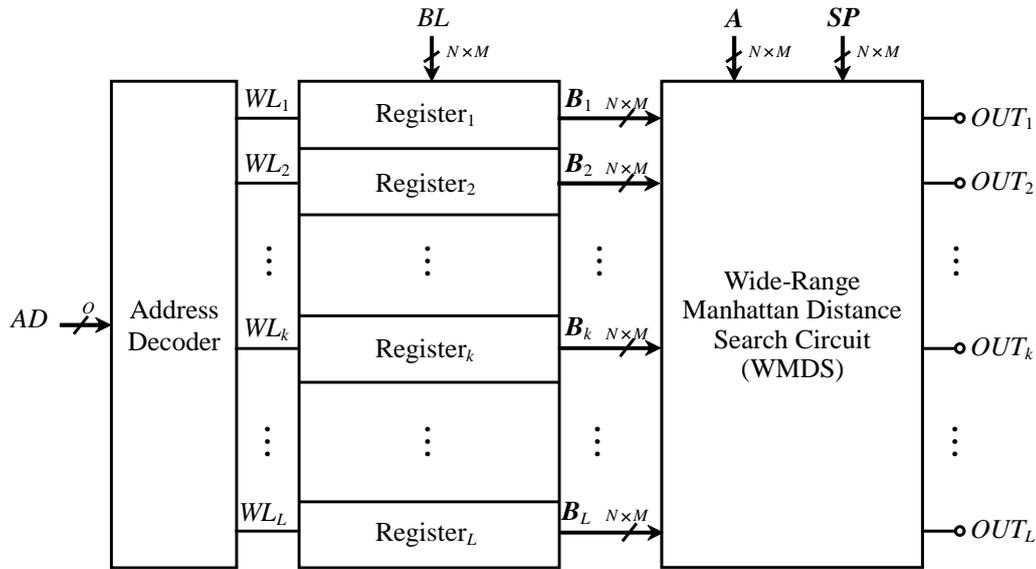


図 4.4 ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリ

節のマンハッタン距離検出回路をワード数 L 個と範囲指定用の 1 個を合わせた数分並べて構成しており、マンハッタン距離検出回路の MOS トランジスタ M_3 のゲート端子には、OR 回路の出力が接続されている。 $\mathbf{A}=(A_1, \dots, A_j, \dots, A_M)$ は入力データ、 $\mathbf{B}=(B_1, \dots, B_j, \dots, B_M)$ は参照データであり、 $A_j=(a_{1,j}, \dots, a_{i,j}, \dots, a_{N,j})$ 、 $B_j=(b_{1,j}, \dots, b_{i,j}, \dots, b_{N,j})$ はそれぞれ N ビット、 M 要素の 2 進数である。制御電圧 $\mathbf{SP}=(SP_1, \dots, SP_j, \dots, SP_M)$ は、マンハッタン距離の検索範囲を指定する制御電圧であり、検索する範囲のマンハッタン距離を 2 進数で入力する。

ここで、本範囲内マンハッタン距離検索回路の動作について述べる。制御電圧 F をハイレベルにすると、全てのマンハッタン距離検出回路の MOS トランジスタ M_3 は“ON”になる。これにより、 M_1 、 M_2 、 R からなるカレントミラー回路より定電流が流れ始め、全てのフローティングゲートへの充電が始まる。フローティングゲートの電圧は直線的に上昇を始め、範囲指定用のマンハッタン距離検出回路の出力がハイレベルになると、 M_3 は“OFF”になり、フローティングゲートへの充電は停止する。マンハッタン距離検出回路は、マンハッタン距離を時間に変換しているため、範囲指定用のマンハッタン距離検出回路の出力がハイレベルになるまでの時間は \mathbf{SP} に入力したマンハッタン距離に比例する。従って、入力したマンハッタン距離以内のマンハッタン距離を持つ参照データの箇所 OUT_k がハイレベルになる。

以上の動作により、本範囲内マンハッタン距離検索回路は、複数の参照データの中から \mathbf{SP} により指定したマンハッタン距離内の全ての参照データを検索することが可能となる。

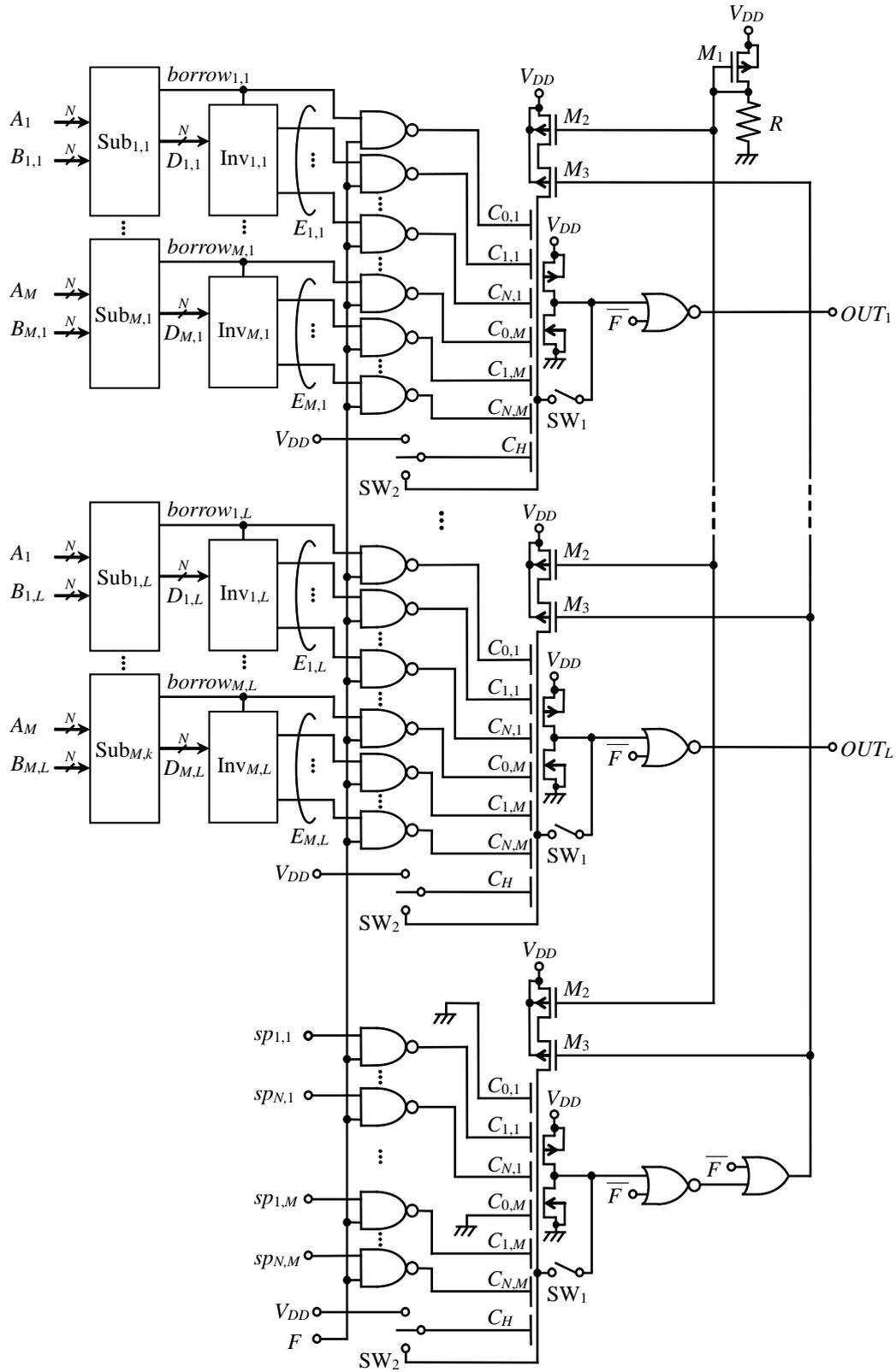


図 4.5 ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索回路の回路図

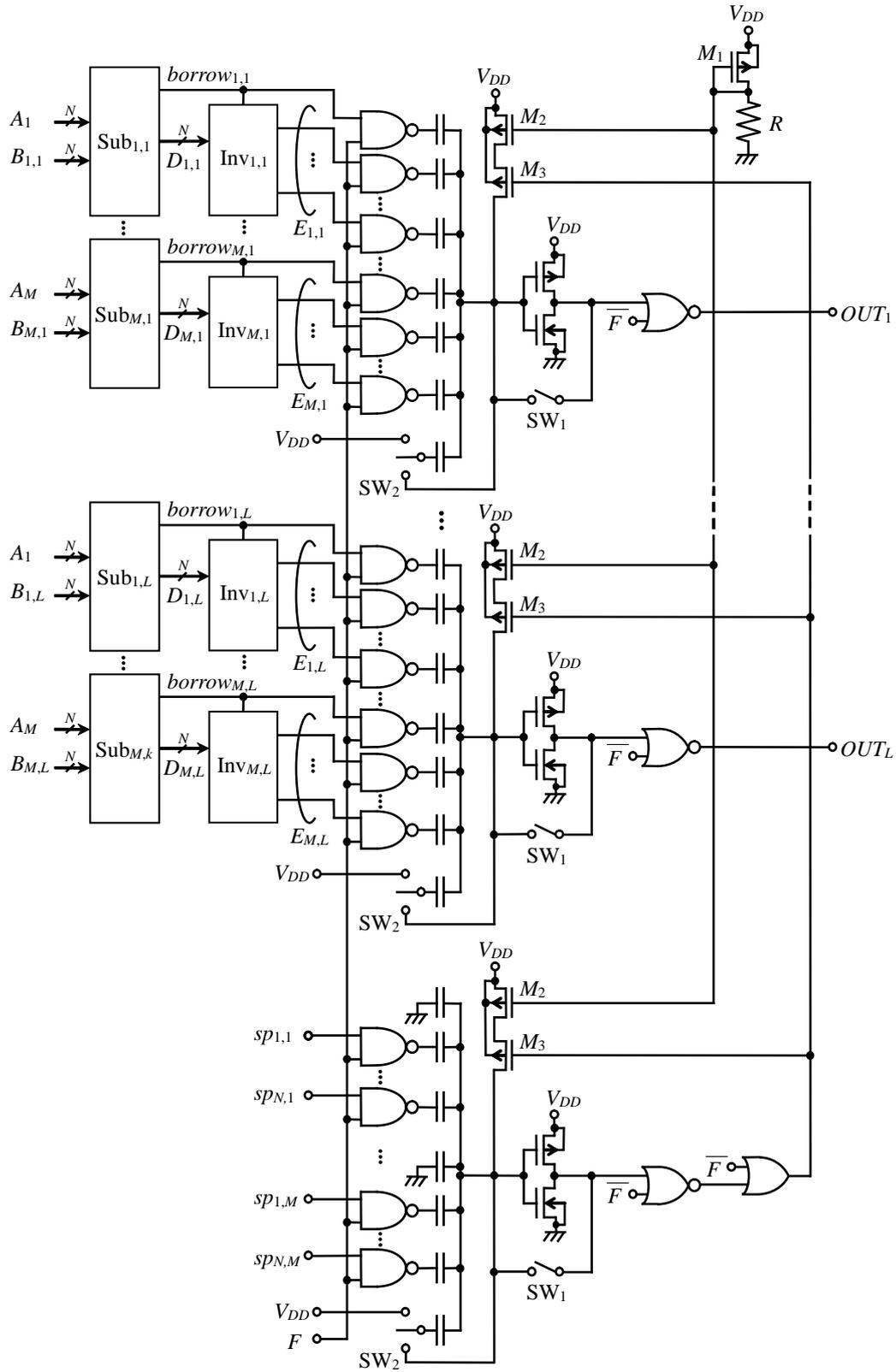


図 4.6 ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索回路の等価回路

4.3 シミュレーション結果

4.3.1 ニューロンCMOSインバータを用いた範囲内ハミング距離検索連想メモリ

4.2.1節で提案したニューロンCMOSインバータを用いた範囲内ハミング距離検索連想メモリのシミュレーション結果を示す。シミュレーションは、Cadence社のIC Virtuoso®Schematic Editor XLを用いて設計し、Synopsys社のHSPICEを用いて行った。SPICEパラメータとして、ローム株式会社0.18 μm CMOSプロセスを用いた。また、電源電圧 V_{DD} は1.8V、ニューロンCMOSインバータのフローティングゲートに対する閾値電圧 V_{TH} は V_{DD} の半分の0.9Vにして行った。なお、シミュレーションには、図4.3の等価回路を用いた。

表4.1は、範囲内ハミング距離検索連想メモリのシミュレーションに使用した入力データ、参照データ、入力データと参照データのハミング距離、検索範囲、および対応する出力を表している。検索範囲を指定する制御電圧 SP は、2箇所ハイレベルが入力されており、ハミング距離が2以内のデータを検索するよう設定している。入力データと参照データのビット数は8、データ数であるワード数は32に設定した。

図4.7はその動作波形である。図より、制御電圧 F をハイレベルにしたとき、ハミング距離が2以内の B_4, B_6, B_7, B_8 に対応する出力 $OUT_4, OUT_6, OUT_7, OUT_8$ がハイレベルになっていることが分かる。これは、制御電圧 F がハイレベルになったとき、ハミング距離が2以内の参照データが入力されている範囲検索用のハミング距離検出回路のフローティングゲートの電圧が閾値電圧に達し、それ以降に範囲指定用のハミング距離検出回路のフローティングゲートの電圧が閾値電圧に達して充電が停止するためである。

表 4.1 提案する範囲内ハミング距離検索連想メモリの範囲内検索の実験に用いた入力パターン表

Input data	Reference data	Hamming distance	Range specification	Output
A (00110111)	$B_1(00000000)$	5	SP (00000011)	OUT_1
	$B_2(00000001)$	4		OUT_2
	$B_3(00000011)$	3		OUT_3
	$B_4(00000111)$	2		OUT_4
	$B_5(00001111)$	3		OUT_5
	$B_6(00011111)$	2		OUT_6
	$B_7(00111111)$	1		OUT_7
	$B_8(01111111)$	2		OUT_8
	\vdots	\vdots		\vdots

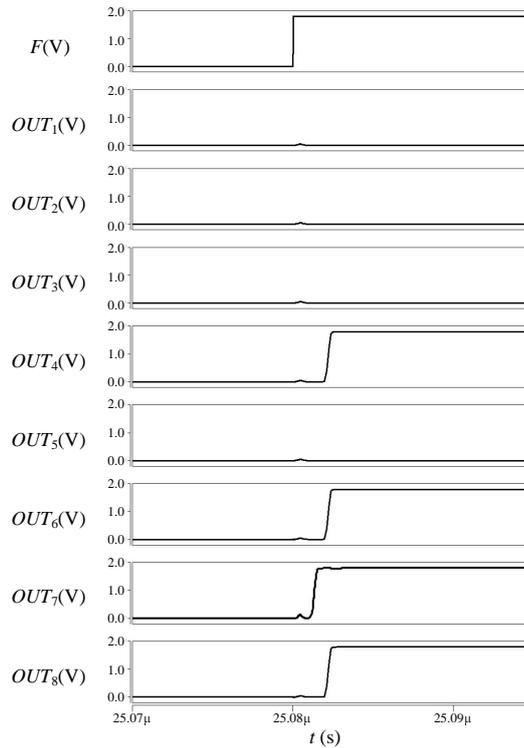


図 4.7 提案する範囲内ハミング距離検索連想メモリのシミュレーション結果

なお、消費電力は 13.8mW 以下であり、動作速度に関しては、第 2 章の最小ハミング距離検索連想メモリと同等の性能を得ることができた。

4.3.2 ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリ

4.2.3 節で提案したニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリのシミュレーション結果を示す。シミュレーションは、Cadence 社の IC Virtuoso® Schematic Editor XL を用いて設計し、Synopsys 社の HSPICE を用いて行った。SPICE パラメータとして、シミュレーションにおいて、ローム株式会社 0.18 μ m CMOS プロセスを用いた。また、電源電圧 V_{DD} は 1.8V、ニューロン CMOS インバータのフローティングゲートに対する閾値電圧 V_{TH} は V_{DD} の半分の 0.9V にして行った。なお、シミュレーションには、図 4.6 の等価回路を用いた。

表 4.2 は、範囲内マンハッタン距離検索連想メモリのシミュレーションに使用した入力データ、参照データ、入力データと参照データのマンハッタン距離、検索範囲、および対応する出力を表している。検索範囲を指定する制御電圧 SP には、マンハッタン距離 2 が入力されて

おり、マンハッタン距離が2以内のデータを検索するように設定している。また、参照データは、4ビット、2要素、8ワードに設定した。

図 4.8 はその動作波形である。図より、制御電圧 F をハイレベルにした場合、マンハッタ

表 4.2 提案する範囲内マンハッタン距離検索連想メモリの範囲内検索のシミュレーションに用いた入力パターン表

Input data	Reference data	Manhattan distance	Range specification	Output
A $(A_1 = 5,$ $A_2 = 10)$	$B_1(B_{1,1} = 6, B_{2,1} = 10)$	1	SP $(SP_1 = 2,$ $SP_2 = 0)$	OUT_1
	$B_2(B_{1,2} = 6, B_{2,2} = 10)$	2		OUT_2
	$B_3(B_{1,3} = 6, B_{2,3} = 10)$	1		OUT_3
	$B_4(B_{1,4} = 6, B_{2,4} = 10)$	3		OUT_4
	$B_5(B_{1,5} = 6, B_{2,5} = 10)$	4		OUT_5
	$B_6(B_{1,6} = 6, B_{2,6} = 10)$	5		OUT_6
	$B_7(B_{1,7} = 6, B_{2,7} = 10)$	6		OUT_7
	$B_8(B_{1,8} = 6, B_{2,8} = 10)$	7		OUT_8

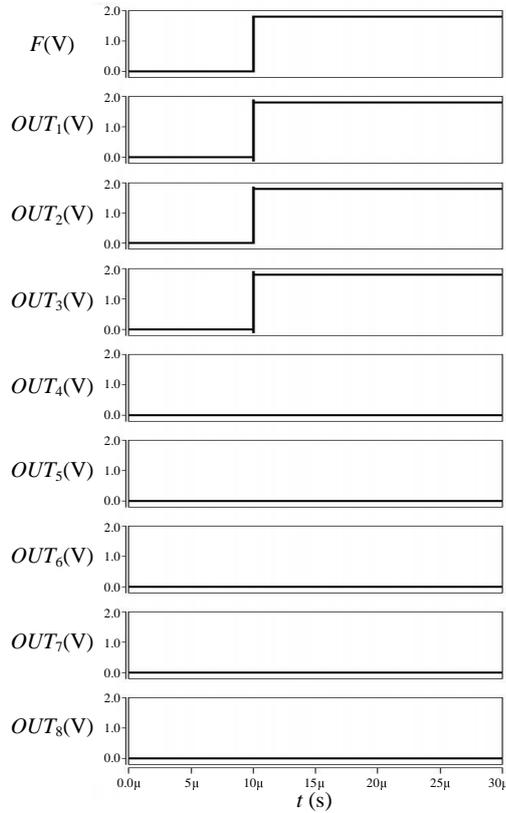


図 4.8 提案する範囲内マンハッタン距離検索連想メモリのシミュレーション結果

ン距離が 2 以内の B_1 , B_2 , B_3 に対応する出力 OUT_1 , OUT_2 , OUT_3 がハイレベルになっている。これは、制御電圧 F がハイレベルになった場合、マンハッタン距離が 2 以内の参照データを入力している範囲検索用のマンハッタン距離検出回路のフローティングゲートの電圧が閾値電圧に達し、それ以降に範囲指定用のマンハッタン距離検出回路のフローティングゲートの電圧が閾値電圧に達して充電が停止するためである。

なお、消費電力は 1.82mW 以下であり、動作速度に関しては、第 3 章の最小マンハッタン距離検索連想メモリと同等の性能を得ることができた。

4.4 結言

本章では、ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリおよび範囲内マンハッタン距離検索連想メモリを提案し、その動作解析とシミュレーションから以下のことを明らかにした。

4.2.1 節, 4.2.2 節では、ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリを解析し、外部からハミング距離を指定することにより、入力データに対し指定したハミング距離以内の全ての参照データを検索できることを示した。4.2.3 節, 4.2.4 節では、ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリを解析し、外部からマンハッタン距離を指定することにより、入力データに対し指定したマンハッタン距離以内の全ての参照データを検索できることを示した。4.3.1 節では、HSPICE を用いたシミュレーションにより、本範囲内ハミング距離検索連想メモリにより所期の動作が得られることを確認し、第 2 章で提案した最小ハミング距離検索連想メモリと同等の性能が得られることを示した。4.3.2 節では、HSPICE を用いたシミュレーションにより、本範囲内マンハッタン距離検索連想メモリにより所期の動作が得られることを確認し、第 3 章で提案した最小マンハッタン距離検索連想メモリと同等の性能が得られることを示した。

第5章 クロックドニューロン CMOS インバータを用いた低消費電力最小ハミング距離検索連想メモリ

5.1 序言

本章では、第2章で述べたニューロン CMOS インバータを用いた最小ハミング距離検索回路をさらに発展させた、クロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリを提案する。クロックドニューロン CMOS インバータは、ニューロン CMOS インバータの貫通電流を減らすため、クロックド CMOS インバータを適用した素子である [49]。本回路は、2章で提案したニューロン CMOS インバータを用いた最小ハミング距離検索回路のニューロン CMOS インバータを、クロックドニューロン CMOS インバータに置き換えることによって、最小ハミング距離検索連想メモリの消費電力 30%程度削減することが可能である。

まず、クロックドニューロン CMOS インバータの構造と動作について述べる。次に、連想メモリを構成する最小ハミング距離検索回路のニューロン CMOS インバータを、クロックドニューロン CMOS インバータに置き換えた最小ハミング距離検索回路の構造と動作について述べる。また、本研究では、ローム株式会社の $0.18\mu\text{m}$ CMOS プロセスを用いて、提案するクロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリの回路設計を行った。さらに、HSPICE を用いたシミュレーションによって提案回路により所期の動作が得られることを確認した。

5.2 回路構成と動作

5.2.1 クロックドニューロン CMOS インバータ

図 5.1 は、クロックドニューロン CMOS インバータの回路構成である。また、図 5.2 は図 5.1 の等価回路である。クロックドニューロン CMOS インバータは、ニューロン CMOS イン

バータの p チャンネル型 MOS トランジスタと電源電圧間に、p チャンネル型 MOS トランジスタ M_{C1} を接続する。また、n チャンネル型 MOS トランジスタとグランド間には、n チャンネル型 MOS トランジスタ M_{C2} を接続した構成である。ここで、 V_{DD} は電源電圧、 V_1, V_2, \dots, V_m は各入力端子、 ϕ は MOS トランジスタ M_{C1}, M_{C2} の ON 状態、OFF 状態を決める制御電圧である。

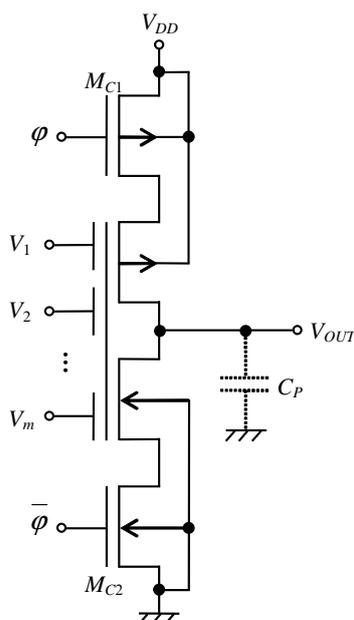


図 5.1 クロックドニューロン CMOS インバータの回路構成

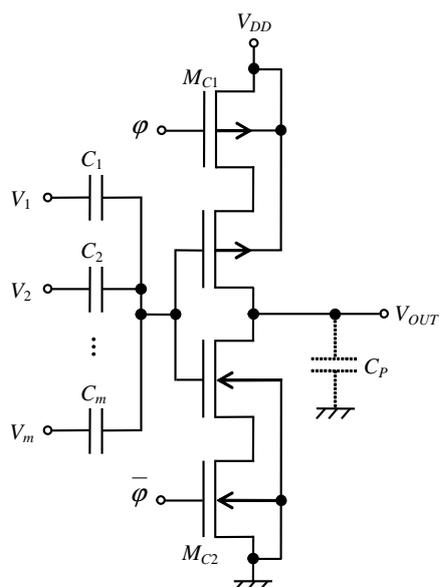


図 5.2 クロックドニューロン CMOS インバータの等価回路

次に、クロックドニューロン CMOS インバータの動作について述べる。制御電圧 ϕ がローレベルの場合、MOS トランジスタ M_{C1} と M_{C2} は“ON”になり、通常の CMOS インバータと同様の動作を行う。逆に、制御電圧 ϕ がハイレベルの場合、MOS トランジスタ M_{C1} と M_{C2} は“OFF”になるため、クロックドニューロン CMOS インバータはハイインピーダンス状態になる。制御電圧 ϕ を用いてハイインピーダンス状態にすることによって、ニューロン CMOS インバータに電流が流れず、消費電力を削減することが可能になる。なお、出力 V_{OUT} は、寄生容量 C_P によって一時的に保たれる。

5.2.2 クロックドニューロン CMOS インバータを用いた最小ハミング距離検索回路

図 5.3 は、低消費電力特性を有し、一致もしくは最も類似した参照データを検索するクロックドニューロン CMOS インバータを用いた最小ハミング距離検索回路の回路構成である。また、図 5.4 はその等価回路である。本最小ハミング距離検索回路は、ニューロン CMOS インバータをクロックドニューロン CMOS インバータ ν CMOS-Ck に置き換えたハミング距離検出回路をワード数 M 個分並べて構成している。ここで、 $A=(a_1, a_2, \dots, a_N)$ は入力データであり、 $B_j=(b_{1,j}, b_{2,j}, \dots, b_{N,j})$ は参照データである。ハミング距離検出回路の MOS トランジスタ M_3 のゲート端子には、多入力 OR 回路の出力が接続されている。 F は一致検索動作のための制御電圧、 H は類似検索動作のための制御電圧、 ϕ はクロックドニューロン CMOS インバータ ν CMOS-Ck をハイインピーダンスにするための制御電圧である。クロックドニューロン CMOS インバータ ν CMOS-Ck の入力端子 - フローティングゲート間容量 C は全て等しくなるように設計する。

図 5.5 はクロックドニューロン CMOS インバータを用いた最小ハミング距離検索回路のタイミング図である。各時点の状態は、以下の通りである。

- t_1 : スイッチ SW_1 は“ON”， SW_2 は下側に接続
- t_2 : SW_1 は“OFF”， SW_2 は上側に接続し、制御電圧 ϕ がハイレベル
- t_3 : 制御電圧 F はハイレベル、 ϕ がローレベル
- t_4 : 制御電圧 H がローレベル
- t_5 : クロックドニューロン CMOS インバータのフローティングゲートの電圧が閾値電圧 V_{TH} に達するため、 ν CMOS-Ck の出力電圧 OUT_j はローレベルになり、制御電圧 ϕ がハイレベル

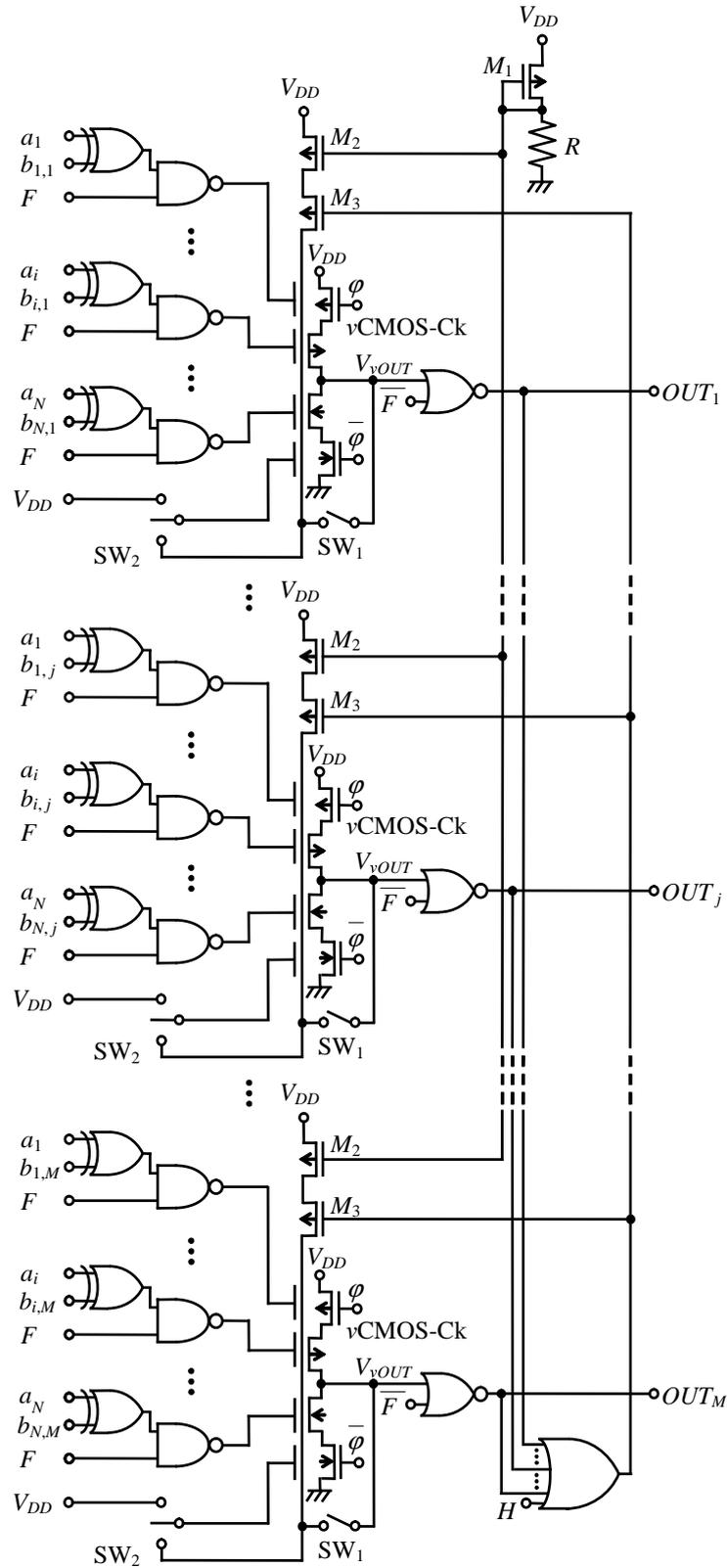


図 5.3 クロックドニューロン CMOS インバータを用いた最小ハミング距離検索回路の回路構成

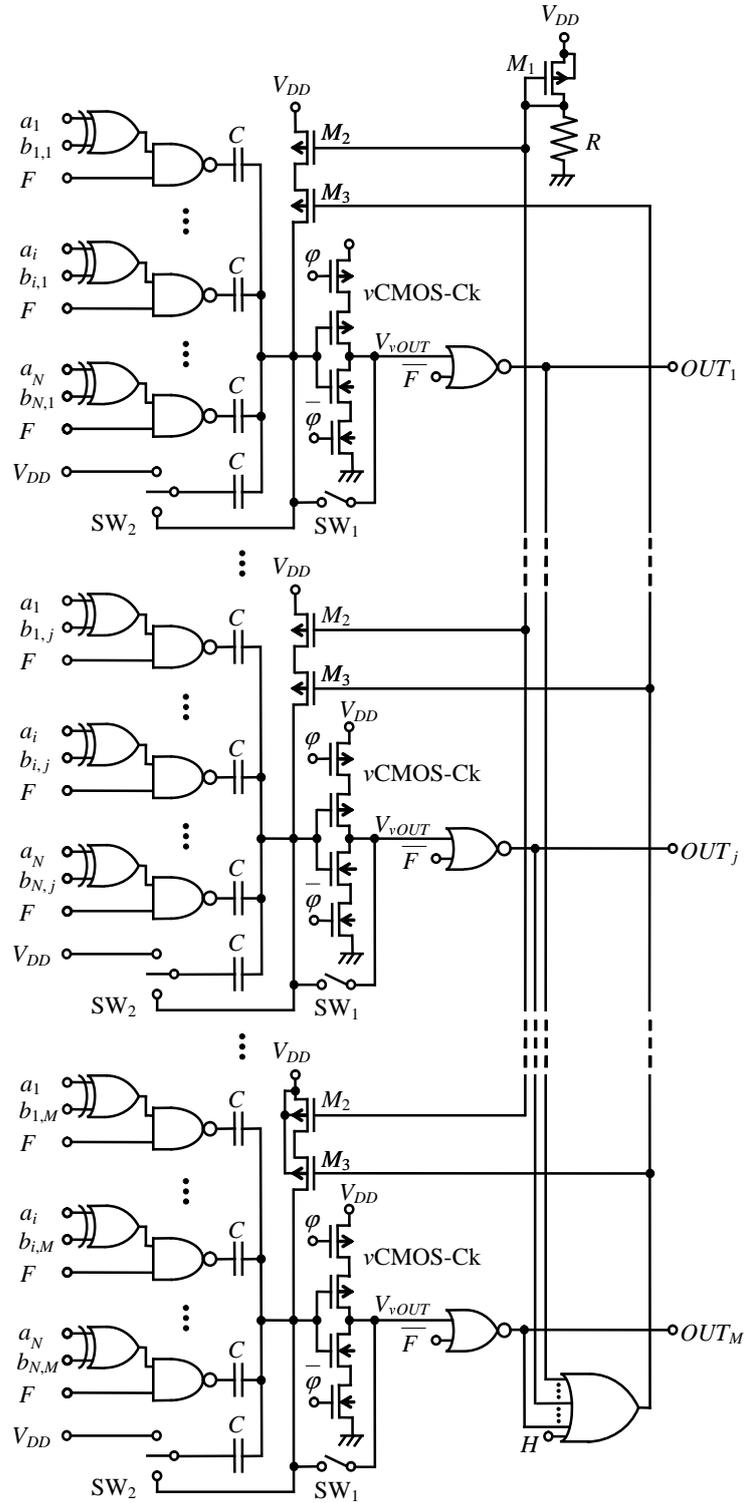


図 5.4 クロックドニューロン CMOS インバータを用いた最小ハミング距離検索回路の等価回路

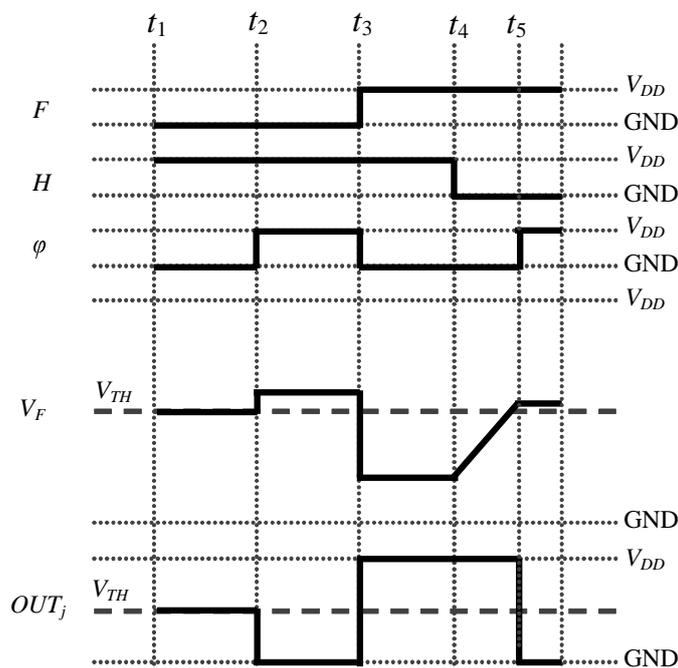


図 5.5 クロックドニューロン CMOS インバータを用いた最小ハミング距離検索回路のタイムチャート

クロックドニューロン CMOS インバータを用いた最小ハミング距離検索回路は、ニューロン CMOS インバータを用いた構成と同様に、時点 t_1 でのフローティングゲートの電圧 V_F が、閾値電圧 V_{TH} と等しくなる。これが、時点 t_2 で上昇し、 V_{TH} を上回る。このとき、 ϕ がハイレベルになっているため、クロックドニューロン CMOS インバータ ν CMOS-Ck はハイインピーダンス状態になり、 ν CMOS-Ck には電流が流れない。時点 t_3 では、ハミング距離に比例して ν CMOS-Ck のフローティングゲートの電圧 V_F が下降する。時点 t_4 では、 M_1 , M_2 , R からなるカレントミラー回路から定電流が流れ始め、フローティングゲートの電圧 V_F が直線的に上昇する。時点 t_5 では、 V_F が ν CMOS-Ck の閾値電圧に達し、その出力 OUT_j がローレベルになるので、多入力 OR 回路の出力はハイレベルになる。多入力 OR 回路の出力がハイレベルになると、カレントミラー回路は動作を停止し、クロックドニューロン CMOS インバータ ν CMOS-Ck のフローティングゲートへの充電が停止する。ここで、検索結果を次の回路が取込むまでの間、制御電圧 ϕ をハイレベルにすることにより、 ν CMOS-Ck がハイインピーダンス状態になるので、 ν CMOS-Ck には電流が流れないようにしている。

以上の動作から、クロックドニューロン CMOS インバータを用いた最小ハミング検索回路は、クロックドニューロン CMOS インバータ ν CMOS-Ck を制御電圧 ϕ により制御すること

で、消費電力を削減することが可能となる。

5.3 シミュレーション結果

本章で提案したクロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリのシミュレーション結果を示す。シミュレーションは、Cadence 社の IC Virtuoso® Schematic Editor XL を用いて設計し、Synopsys 社の HSPICE を用いて行った。SPICE パラメータとして、ローム株式会社 0.18 μm CMOS プロセスを用いた。また、電源電圧 V_{DD} は 1.8V、クロックドニューロン CMOS インバータのフローティングゲートに対する閾値電圧 V_{TH} は V_{DD} の半分の 0.9V にして行った。また、シミュレーションには、図 5.4 の等価回路を用いた。

表 5.1 は、最小ハミング距離検索回路にクロックドニューロン CMOS インバータを用いた場合とニューロン CMOS インバータを用いた場合のシミュレーション結果である。表から、第 2 章で提案したニューロン CMOS インバータを用いた構成は 13.54mW 以下であったのに対し、提案するクロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリの消費電力は 9.55mW 以下であった。このことから、クロックドニューロン CMOS インバータを用いることによって、最小ハミング距離検索連想メモリの消費電力は通常のニューロン CMOS インバータを用いる場合に比べて 30% 程度削減することが可能である。なお、動作速度については、ニューロン CMOS インバータを用いた場合の回路と同等の性能を得ることができた。

表 5.1 提案回路と従来回路の消費電力の比較

	Case of using neuron CMOS inverter	This work
Process	0.18 μm CMOS	0.18 μm CMOS
Organization	64-bit, 64-word	64-bit, 64-word
Supply voltage	1.8V	1.8V
Power consumption	<13.55mW	<9.55mW

5.4 結言

本章では、クロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリを提案し、その動作解析とシミュレーションから以下のことを明らかにした。

5.2.1 節では、クロックドニューロン CMOS インバータの回路構成と基本動作について示した。5.2.2 節では、クロックドニューロン CMOS インバータを用いた最小ハミング距離検索

連想メモリを解析し，検索動作の待機時および出力が得られた後の取込み時間にクロックドニューロン CMOS インバータをハイインピーダンス状態にすることで，消費電力を削減できることを示した．5.3 節では，HSPICE を用いたシミュレーションにより，クロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリの消費電力は，ニューロン CMOS インバータを用いた場合と比べ削減できることを示した．

第6章 デューティ比50%の可変分周器と デューティ比50%の分周比可変型 デジタル位相同期ループ

6.1 序言

本章では、前章までに提案した連想メモリに対してクロック信号から安定した制御信号を生成する、デューティ比50%の可変分周器を用いた分周比可変型デジタル位相同期ループについて報告する。

従来の分周比可変型デジタル位相同期ループは、極めて広い同期範囲と入力信号の1周期で引込みを行うことができ、その汎用性の高さから各種デジタル通信機器のクロック生成回路としての利用が期待されているが、一般的な単相クロック完全同期式の可変分周器を用いると出力信号のデューティ比を50%に保つことができないという問題点があった [37–39]。そこで、本章では提案するデューティ比50%の出力が得られる可変分周器をデジタル位相同期ループの出力段の可変分周器として用いることで、入力信号の周波数に関係なく常に出力信号のデューティ比を50%にすることを可能にしている。なお、定常位相誤差特性、同期範囲、引込み特性については従来方式と同等の特性を実現できる。

従来のデューティ比50%の可変分周器は、回路構成が複雑であり、ハザードの影響により誤動作を起こすことが問題になっていた [42–45]。本章で提案するデューティ比50%の可変分周器は、デジタル回路のみの極めて簡単な構成であり、また、ハードウェア記述言語を用いて簡単に記述することもできるため、論理合成可能である。

まず、提案するデューティ比50%の可変分周器の動作と構造について述べ、その動作を理論的に解説する。次に、提案する可変分周器を Verilog-HDL により記述し、シミュレーションによりその動作を確認する。また、FPGA を用いた実験において、ビット数の増加に伴う回路規模の増大について明らかにする。その後、デューティ比50%の分周比可変型デジタル位相同期ループの構造と動作について述べ、FPGA を用いた実験によりその動作を確認する。

6.2 デューティ比50%の可変分周器の構造と動作

図6.1は、提案するデューティ比50%の可変分周器の回路構成である。図において、太線は多ビット配線、細線は1ビット配線を表す。提案する可変分周器には、外部より分周比Nと基準クロックCKが印加される。Counterは、N進ダウンカウンタであり、“N”から“1”までダウンカウントする。Counterの出力Pが“1”に達するとPは再び“N”にセットされ、ダウンカウント動作を繰り返す。Comparatorは、Counterの出力Pと分周比Nを比較する。CはComparatorの出力であり、 $P \leq (N \gg 1)$ の条件を満たすときは“1”を、満たさないときは“0”となる。なお、 $N \gg 1$ はNを右に1ビットシフトすることを表している。Comparatorの出力Cは、分周比が偶数の場合にはデューティ比が50%であるが、分周比が奇数の場合にはデューティ比が50%にならず、“1”を出力している部分が“0”を出力している部分に比べて基準クロックCKの1周期分短い。また、Comparatorの出力Cは、基準クロックCKが立ち上がったから一定時間経過後にハザードが発生することがある。このハザードの影響を排除するために、Comparatorの出力Cは基準クロックCKの立ち上がりで動作するDフリップフロップDFF1に入力されている。基準クロックCKが立ち上がり、Counterがダウンカウント動作を行うことにより、Comparatorの出力Cにハザードが発生するが、DFF1は、ハザードが発生する前にComparatorの出力Cを取り込むため、ハザードの影響を受けない。また、DFF1の出力Q1は、基準クロックの立ち下がり動作するDフリップフロップDFF2の入力になっている。このため、DFF2の出力Q2は、Q1に比べて半周期遅れた信号になる。ANDゲートは、Q2とNの最下位ビットの論理積演算を行っている。

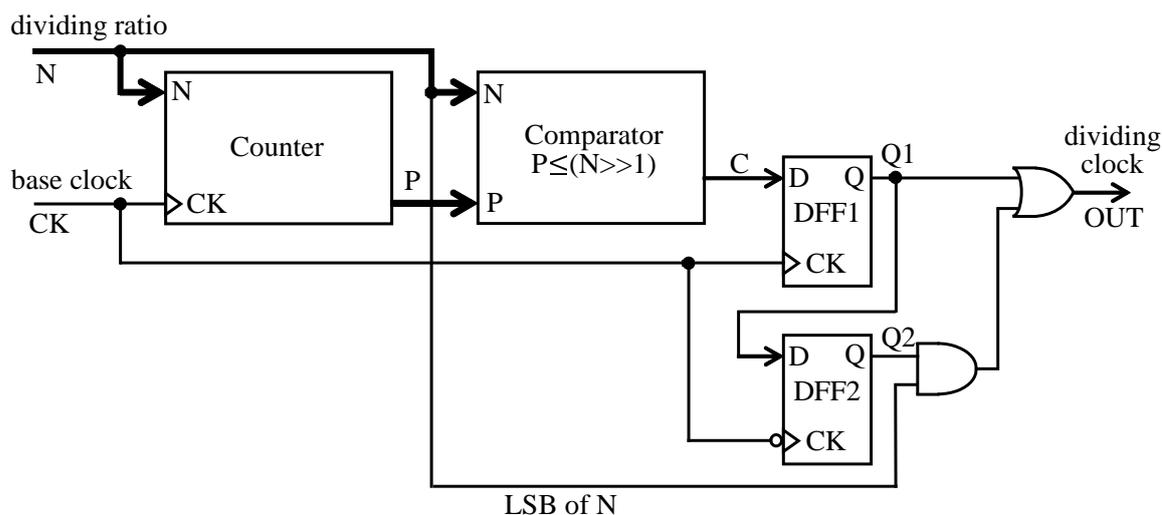


図 6.1 デューティ比50%の可変分周器のブロック図

分周比が偶数のとき、N の最下位ビットは“0”であるので、AND ゲートは Q2 の値を出力する。OR ゲートは、DFF1 の出力 Q1 と AND ゲートの出力との論理和演算を行った値を出力する。分周比が偶数の場合、Q1 のデューティ比は 50%であり、これがそのまま OUT から出力される。

分周比が奇数の場合、Q1 は“1”を出力している部分が“0”を出力している部分に比べて基準クロック CK の 1 周期分短い。それ故、Q1 と、この信号を半周期遅延させた Q2 の論理和演算を行うことで、“1”を出力している部分を基準クロック CK の半周期分増加させ、デューティ比 50%として OUT から出力させている。

6.3 Verilog-HDL による記述とシミュレーション

図 6.2 は、提案する可変分周器の Verilog-HDL による記述である。図において、2 行目のパラメータ宣言により Counter および Comparator のビット幅を指定しており、これによって分周比の上限を設定することができる。また、記述内のコメントは、図 6.1 の提案可変分周器の各部品に対応している。

```

module divider(CK, N, M, C, Q1, Q2, OUT);
parameter width = 4;
input CK;
input [width - 1:0] N;
output M, C, Q1, Q2, OUT;
reg [width - 1:0] M;
reg Q1, Q2;
wire C;

always @(posedge CK) //Counter
if(M <= 1)
M <= N;
else
M <= M - 1;

always @(posedge CK) //DFF1
Q1 <= C;

always @(negedge CK) //DFF2
Q2 <= Q1;

assign C = (M <= (N >> 1)); //Comparator

assign OUT = (Q1 | (Q2 & N[0])); //OR-AND

endmodule

```

図 6.2 提案する可変分周器の Verilog-HDL 記述

図 6.3 は、分周比 N を偶数値 “4” に設定した場合の図 6.2 の記述による提案回路のシミュレーション結果である。分周比 N を “4” に設定すると、Counter の出力 P は “4” から “1” までの値を出力する 4 進カウンタとして動作する。Comparator は、Counter の出力と分周比を 1 ビット右にシフトした値、すなわち “2” と比較するため、Counter の出力が “2” 以下のとき、その出力 C は “1” となる。 C のデューティ比 50% であるが、Counter の出力 P が “4” から “3” に変化する瞬間にハザードが発生する。このハザードは基準クロック CK の立ち上がりから一定時間経過した時点で発生する。それ故、基準クロック CK の立ち上がりで C の値を DFF1 に取込むことで、このハザードの影響を排除していることが分かる。分周比が偶数の場合、 $Q1$ をそのまま出力することにより、デューティ比 50% の出力信号を得られることが分かる。

図 6.4 は、分周比 N を奇数値 “5” に設定した場合の図 6.2 の記述による提案回路のシミュレーション結果である。分周比 N を “5” とすると、Counter の出力 P は “5” から 1 までの値を出力する 5 進カウンタとして動作する。Comparator の出力と分周比を 1 ビット右にシフトした値、すなわち “2” と比較するため、偶数の場合と同様に Counter の出力が “2” 以下のとき、その出力 C は “1” となる。Counter の出力 P が “4” から “3” に変化する瞬間にハ

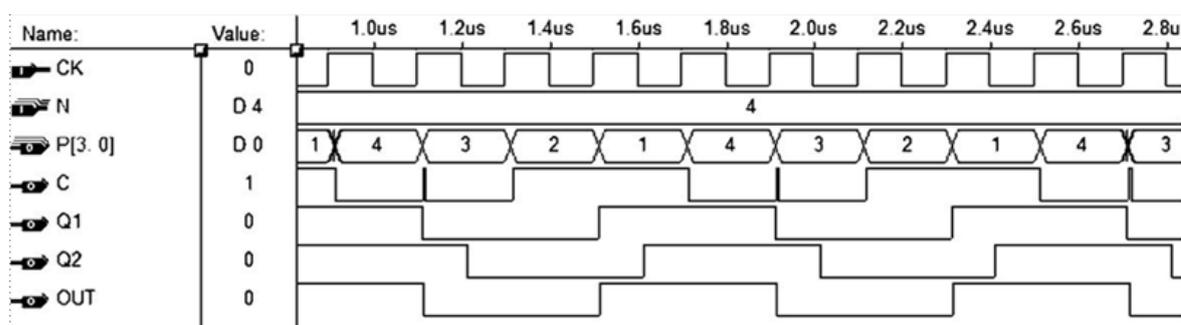


図 6.3 $N=4$ の場合の提案分周器のシミュレーション結果

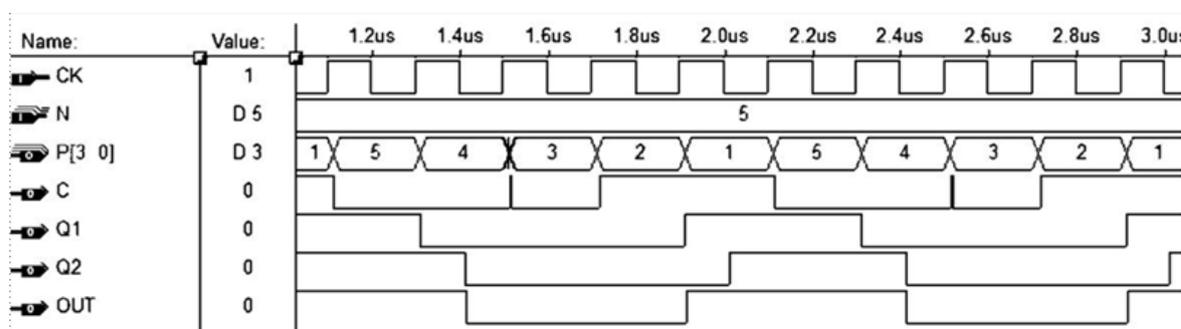


図 6.4 $N=5$ の場合の提案分周器のシミュレーション結果

ザードを発生するが、上述と同様の動作によりハザードの影響を排除していることが分かる。しかし、Q1 は分周比 N が偶数値の場合と比べ、パルス幅が基準クロック CK の半周期分短く、デューティ比が 50%ではない。そのため、基準クロック CK の立ち下がり動作する DFF2 によって Q1 を取込み、Q1 に比べ基準クロック CK の半周期分遅延した信号 Q2 を生成し、Q1 と Q2 の論理和演算を行うことで、分周比が奇数値の場合にもデューティ比 50%の信号を得られることが分かる。

6.4 回路規模に関する考察

6.4.1 従来回路との比較

ここでは、ロジックエレメント数に関して、提案する可変分周器と文献 [45] から文献 [48] に示すデューティ比 50%の出力信号を有する従来回路との比較について示す。ロジックエレメントは、FPGA におけるロジックの最小単位であり、ルックアップ・テーブルとフリップフロップにより構成される。そのため、使用するロジックエレメント数が大きいほど回路規模が大きいことが分かる。実験には、FPGA として Altera 社の Cyclone IV EP4CE30F2317N を用いた。

表 6.1 は、4 ビット構成における提案する可変分周器と従来回路のロジックエレメント数の比較結果である。文献 [42], [44] の回路では、使用するロジックエレメント数が多く、回路規模が大きいことが分かる。文献 [43] の回路も、若干ではあるが、提案回路より回路規模が大きい。文献 [42], [43] の回路では、 N を入力したときに N 分周動作させるためにはデコーダが必要になるため、その場合ロジックエレメント数はさらに増加する。また、文献 [45] の回路は、回路構成が非常に簡単であり、ロジックエレメント数は提案回路と等しい。しかし、この回路の最終段には RS-FF 回路が用いられているため、内部の一致検出回路によって発生するハザードの影響を受けてしまうという難点がある。そのため、実装した場合には誤作動を起こす可能性があり、回路動作が不安定になる。これに対し提案回路は、DFF1 によりハ

表 6.1 提案回路と従来回路のロジックエレメント数の比較

References	Logic elements
Reference [42]	27
Reference [43]	11
Reference [44]	37
Reference [45]	10

ザードの影響を排除しているため、回路動作が安定である。

以上から、提案する可変分周器の動作は安定であり、文献 [42], [44], [43] に比べて回路規模を削減できることが分かる。

6.4.2 ビット幅増加に伴う回路規模

ここでは、分周比の増加に伴いビット幅増加時の提案回路と従来回路のロジックエレメント数について比較を行った。

図6.5は、2ビットから8ビットまでの提案回路と従来回路のロジックエレメント数である。文献 [42], [44] の回路は、ビット数が増加するごとに指数関数的にロジックエレメント数が増加していることが分かる。これより、これらの可変分周器において、大きな分周出力を得ようとする場合には、回路規模が極めて大きくなることが分かる。しかし、文献 [43] と提案回路については、ビット数の増加に伴うロジックエレメント数の影響はほとんどなく、小さな回路規模で大きな分周比を得ることができる。

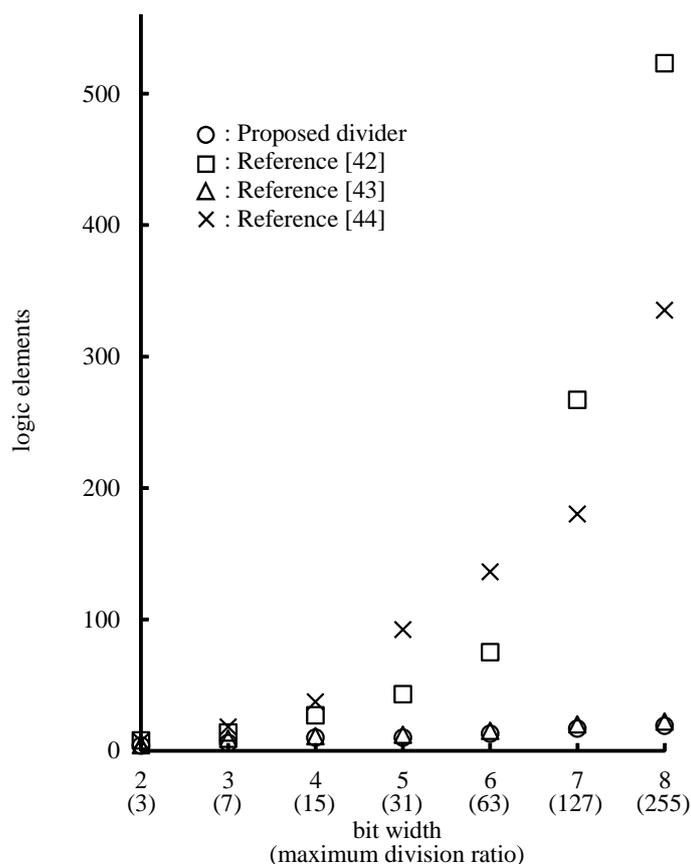


図 6.5 ビット数の増加に伴うロジックエレメント数

6.5 デューティ比 50%の可変分周器の位相同期ループへの応用

6.5.1 分周比可変型位相同期ループの回路構成と動作

本節では、デューティ比 50%の可変分周器を用いた分周比可変型デジタル位相同期ループの構造と動作について記す。図 6.6 は、提案可変分周器をデジタル位相同期ループに組み込んだ場合のブロック図である。本回路は、位相比較器 (PD)、可逆カウンタ (U/D-counter-m, U/D-counter)、基準クロック (CK)、通倍用カウンタ (1/M)、通倍動作時の余り補正回路 (RCC)、提案するデューティ比 50%の可変分周器 (proposed-divider) から構成されている。また、基準クロック CK は、RCC 以外の全ての回路に印加している。なお、入力信号 IN は、基準クロック CK に同期していない信号を用いており、これを DFF により同期化した信号が IN' である。

PD は、入力信号と 1/M カウンタからの帰還信号の位相を比較する回路であり、入力信号の位相が帰還信号に比べて進んでいれば Lead 信号を出力し、逆に遅れていれば Lag 信号を出力する。U/D-counter-m は、PD から Lead 信号が出力されている場合、その間に通過する基準クロック数をアップカウントし、カウント値が通倍比 M に達すると U/D-counter を +1 アップカウントすると同時に自身を 0 にセットする。また、Lag 信号が出力されている場合、その間に通過する基準クロック数をダウンカウントし、カウント値が 0 になると U/D-counter を -1 ダウンカウントすると同時に自身を M-1 にセットする。U/D-counter は、proposed-divider の分周比を制御する回路であり、U/D-counter-m のカウント値 R は、常に分周比の余りに相当する値となる。また、U/D-counter-m のカウント値が通倍許容誤差 (0~M) を超えた時点で Lead と Lag に応じて U/D-counter のカウント値を ± 1 カウントする。1/M カウンタは、通倍された出力 OUT のパルス数をカウントし、このカウント値 K が M に達すると帰還信号

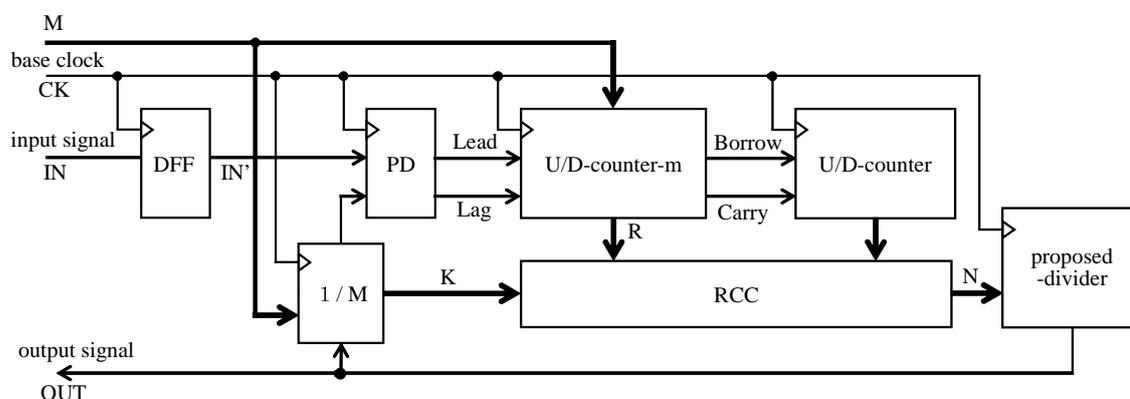


図 6.6 デューティ比 50%の全デジタル位相同期ループの回路図

としてパルスが PD へ出力される。デジタル位相同期ループは、基準クロックを分周することによって出力信号を得る構成である。それ故、逡倍出力信号を得るための分周比 N は入力信号 1 周期間に要する基準クロック数を X とすると、 X/M によって決定されるので、 X/M に余り R が生じる場合、これが出力の定常位相誤差となる。これを補正するために、RCC により $K \leq R$ のとき分周比 N を $+1$ することで余りによる誤差を調整している。

6.5.2 定常位相誤差

ここで、提案する可変分周器を組込んだデジタル位相同期ループの定常状態における出力の定常位相誤差について考える。定常位相誤差とは、定常的に発生する入力信号と出力信号との位相の差であり、デジタル位相同期ループは、基準クロックを分周することによって出力信号の周波数を決定する方式であるので、定常状態において入力信号の周波数 f_{in} と基準クロックの周波数 f_x の商に余りが生じる関係であるとき、これが出力の定常位相誤差となる。

いま、図 6.7 に示すように入力信号と基準クロックがこの関係であるとき、入力信号の 1 周期の時間を T_{in} 、入力信号と出力信号の立ち上がり時間の差を ΔT とすると、本デジタル位相同期ループの定常位相誤差 σ_{out} は、

$$\sigma_{out} = 2\pi \frac{\Delta T}{T_{in}} \quad (6.1)$$

となる。出力信号を制御する分周比を N として動作させると入力信号に対して出力信号の位相が進むことになる。また、分周比を $N+1$ として動作させると、その位相関係は逆の状態となる。従って、定常状態においては 2 つの分周比 N と $N+1$ のみで同期状態を保持できることが分かるため、基準クロック 1 周期の時間を T_x とすると、入力信号と出力信号の差 ΔT は、

$$\Delta T \leq T_x \quad (6.2)$$

となる。それ故、式 (6.1) に式 (6.2) から、定常位相誤差 σ_{out} は、

$$\sigma_{out} \leq 2\pi \frac{T_x}{T_{in}} \quad (6.3)$$

と表すことができ、

$$\sigma_{out} \leq 2\pi \frac{f_{in}}{f_x} \quad (6.4)$$

となる。従って、定常状態における本デジタル位相同期ループの出力最大定常位相誤差は、常に基準クロックの 1 パルス幅分となることが分かる。

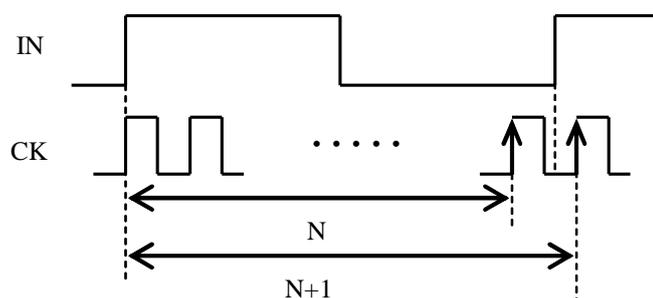


図 6.7 入力信号と基準クロックの関係

6.5.3 動作周波数帯域と最大位相誤差

次に、デジタル位相同期ループの同期範囲について述べる。本デジタル位相同期ループは、定常状態において、式 (6.4) に示す定常位相誤差が生じるので、分周比の上限値と下限値がそれぞれ N_{max} と N_{min} であるとき、

$$\frac{f_x}{N_{max} - 1} \leq f_{in} \leq \frac{f_x}{N_{min}} \quad (6.5)$$

の範囲でロックすることになる。ここで、式 (6.5) に式 (6.4) を代入し、これを σ_{out} について求めると

$$\frac{2\pi}{N_{max} - 1} \leq \sigma_{out} \leq \frac{2\pi}{N_{min}} \quad (6.6)$$

となる。また、最大許容誤差 σ_{max} が与えられている場合、同期範囲の下限が σ_{max} により制限されるので、同期範囲は、

$$\frac{f_x}{N_{max} - 1} \leq f_{in} \leq \frac{2\pi}{N_{min}} \quad (6.7)$$

となる。

6.6 デューティ比 50% の可変分周器と分周比可変型デジタル位相同期ループの実験結果

実験は、ハードウェア記述言語 Verilog-HDL を用いて記述し、FPGA 上に提案回路を試作して行った。FPGA には、Altera 社の CycloneIV EP4CE30F2317N を使用した。

図 6.8 は、提案する可変分周器の 7 分周時の動作波形である。基準クロック CK の周波数は 3.3MHz としている。これより、分周比が奇数値の場合にも常にデューティ比 50% の出力 OUT が得られることを実験により確認できた。

図 6.9 は、デューティ比 50%の可変分周器を組み込んだ、デューティ比 50%の分周比可変型デジタル位相同期ループの定常状態における出力の定常位相誤差である。これより、出力の定常位相誤差は基準クロックの 1 パルス幅分であり、式 (6.4) を満たすことが分かる。また、その定常位相誤差は、基準クロックや入力信号の周波数に関係なく、常にループ内の基準クロック 1 周期分であることを確認した。

表 6.2 は、基準クロックの周波数 f_x を 3.3MHz, 分周比の下限值 N_{min} を 20 として、出力の定常位相誤差が 50%以下となるように設定した場合の同期範囲の実験結果である。これより、その同期範囲は極めて広く、式 (6.7) を満足していることが分かる。

図 6.10 は、7 逡倍動作を行った場合の分周比可変型デジタル位相同期ループの実際の動作波形である。その出力信号は、RCC を設けているので、逡倍動作時においても基準クロック 1 パルス幅分の定常位相誤差特性であることが分かる。



図 6.8 7 分周時の提案する可変分周器の出力波形

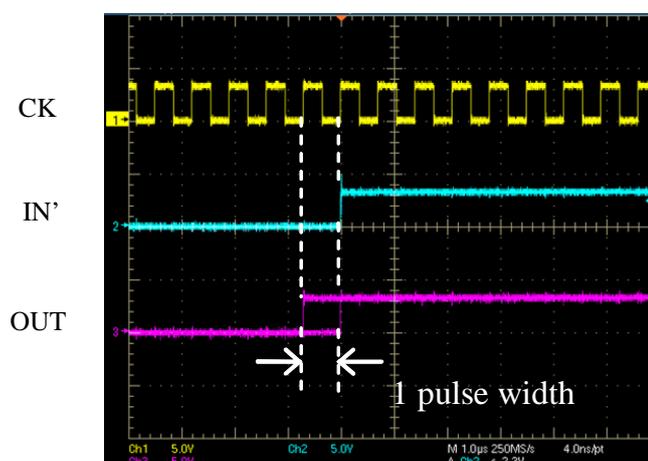


図 6.9 提案するデジタル位相同期ループの定常位相誤差

図 6.11 は，初期引込みの実験結果であり，その同期は入力信号の 2 周期目から開始されている．これより，引込み時間は入力信号の 1 クロック分であり，高速引込みを実現できることが分かる．

表 6.2 提案するデジタル位相同期ループの同期範囲

N_{max}	Lock-in range(kHz)
31	110~165
63	52.23~165
127	26.19~165
255	12.99~165
511	6.49~165

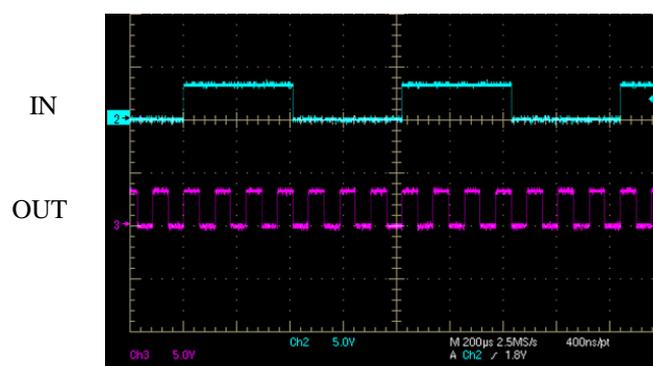


図 6.10 7 進倍時の提案するデジタル位相同期ループの動作波形

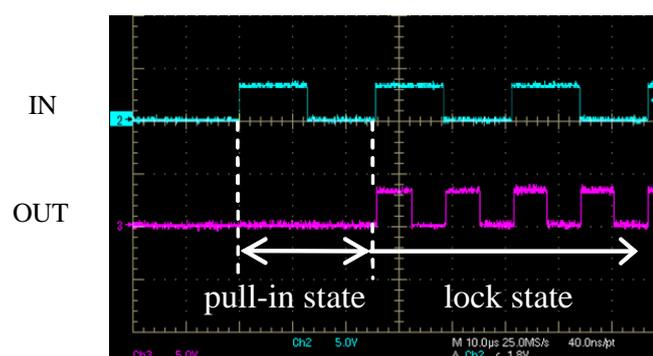


図 6.11 提案するデジタル位相同期ループの初期引込み動作

6.7 結言

本章では、デューティ比 50%の可変分周器とその分周比可変型デジタル位相同期ループへの応用について提案し、その動作解析とシミュレーションおよび実験から以下のことを明らかにした。

6.2 節では、デューティ比 50%の可変分周器を解析し、その動作について示した。6.3 節では、Verilog-HDL による記述からシミュレーションを行い、クロック信号の立ち上がりエッジと立ち下がりエッジを利用することで、本可変分周器は、常にデューティ比 50%の出力が得られることを示した。また、従来回路において問題になっていた、ハザードの影響を受けないことを明らかにした。6.4 節では、FPGA を用いた実験により、本可変分周器が従来回路に比べ回路規模が小さく、ビット幅増加に伴う回路規模への影響を受けにくいことを示した。6.5 節では、本可変分周器を用いた分周比可変型デジタル位相同期ループを解析し、その動作と定常位相誤差、動作周波数帯域および最大位相誤差について示した。6.6 節では、FPGA を用いたデューティ比 50%の可変分周器と分周比可変型デジタル位相同期ループの実験より、常にデューティ比 50%の出力が得られることを示した。また、デューティ比 50%の可変分周器を用いてデジタル位相同期ループを構成することで、周波数が変わっても常にデューティ比 50%の出力が得られ、連想メモリに対して安定した周波数のクロック信号を供給することが可能であることを明らかにした。

第7章 結論

7.1 本研究の結論

本研究では、人間の神経細胞と似た性質を持つ電子素子であるニューロン CMOS インバータを基本素子として使用した以下の新しい4種類の連想メモリを開発した。

- ・ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリ
- ・ニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリ
- ・ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリ
- ・ニューロン CMOS インバータを用いた範囲内マンハッタン距離検索連想メモリ

次に、開発した連想メモリの消費電力を削減するため、ニューロン CMOS インバータの代わりにクロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリを提案した。さらに、開発した連想メモリに対してクロック信号から安定した制御信号を生成するために、デューティ比50%の可変分周器の開発と、これを用いた分周比可変型デジタル位相同期ループを実現した。

第2章ではニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリを提案し、HSPICEによるシミュレーションおよび実チップを用いた実験により評価した。本最小ハミング距離検索連想メモリは、この回路を構成する最小ハミング距離検索回路により、入力データに対しハミング距離が最も小さい参照データを検索することができた。また、検索動作の前にニューロン CMOS インバータのフローティングゲートと出力を接続することにより、従来回路において問題となっていたフローティングゲートの初期電荷およびトランジスタの閾値電圧の変動の影響を排除している。更に、従来回路に比べて、高速に動作することを確認した。

第3章ではニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリを提案し、HSPICEによるシミュレーションにより評価した。本最小マンハッタン距離検索連想メモリは、最小マンハッタン距離検索回路により入力データに対しマンハッタン距離が最も小さい参照データを検索することができた。また、検索動作の前にニューロン CMOS インバータのフローティングゲートと出力を接続することにより、従来回路において問題となっていたフローティングゲートの初期電荷およびトランジスタの閾値電圧の変動の影響を排除し

ている。更に、従回路に比べ、80%以上の消費電力を削減することができることを示した。

第4章ではニューロン CMOS インバータを用いた範囲内ハミング距離検索連想メモリおよび範囲内マンハッタン距離検索連想メモリを提案し、HSPICEによるシミュレーションにより評価した。本範囲内ハミング距離検索連想メモリは、範囲内ハミング距離検索回路により外部からハミング距離を指定し、入力データに対し指定したハミング距離以内の参照データを全て検索することができた。また、第2章で提案したニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリと同等の性能が得られた。本範囲内マンハッタン距離検索連想メモリは、範囲内マンハッタン距離検索回路により、外部からマンハッタン距離を指定し、入力データに対し指定したマンハッタン距離以内の参照データを全て検索することができた。また、第3章で提案したニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリと同等の性能が得られた。

第5章ではクロックドニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリを提案し、HSPICEによるシミュレーションにより評価した。検索動作の待機時および出力結果の取込み時間にクロックドニューロン CMOS インバータをハイインピーダンス状態にすることにより、ニューロン CMOS インバータを用いた場合と比較し、消費電力を30%程度削減することができた。また、動作速度について、第2章で提案したニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリと同等の性能を得ることができた。

第6章ではデューティ比50%の可変分周器とデューティ比50%の分周比可変型デジタル位相同期ループを提案し、Verilog-HDLによる記述からFPGAを用いた実験を行い評価した。デューティ比50%の可変分周器は、分周比に関係なく常にデューティ比50%の出力を得ることができた。また、ハザードの影響を受けず、回路構成が非常に簡単であるため、分周比に伴う回路規模の増加の影響を受けにくいことを示した。さらに、本可変分周器を用いたデジタル位相同期ループは、周波数に関係なくデューティ比50%の出力を有し、かつ広同期範囲、低出力ジッタ特性を得ることができた。

7.2 今後の検討課題

提案した5種類の連想メモリは、フローティングゲートの電圧を閾値電圧と等しくし、距離の分だけ電圧を下げ検索動作を行う。そのため、入力データに対して参照データが有することが可能な最大の距離の半分を超える参照データ以外を検索することができないという問題点があった。今後の検討課題として、参照データの距離が最大の半分を超える場合においても、検索動作が可能な連想メモリを構成したいと考えている。

今回のニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリのチップ試作では、確実に動作を確認するため、時間領域の余裕を持たせて設計を行った。今後は寄生素子等による提案回路への影響を明確にし、シミュレーションと同等の検索速度が得られるようなチップ試作を行う予定である。さらに、4種類のニューロン CMOS インバータを用いた連想メモリ、クロックドニューロン CMOS インバータを用いた連想メモリおよび制御信号生成回路であるデューティ比 50%のデジタル位相同期ループを同一チップ上に試作し、実チップを用いた実験を行いたいと考えている。

謝辞

本研究を遂行するにあたり，直接御指導，御教授を賜りました東海大学基盤工学部電気電子情報工学科藤本邦昭教授に深甚なる謝意を表すとともに厚く御礼申し上げます。また，終始適切な御指導をいただきました東海大学福岡短期大学情報処理科矢原充敏教授に深く感謝し厚く御礼申し上げます。また，本論文を作製するにあたり貴重な御意見，御討論をいただいた東海大学基盤工学部電気電子情報工学科清田英夫教授，高橋将徳教授，情報教育センター中嶋卓雄教授ならびに熊本教養教育センター石岩教授に深く感謝いたします。

本研究に際して，多方面にわたり適切な御協力，御指導をいただいた東海大学情報通信学部組込みソフトウェア工学科吉田正廣教授，福原雅朗講師ならびに福岡工業大学電子情報工学科江口啓教授に深く感謝いたします。また，日頃から貴重な御助言をいただいた熊本県立技術短期大学校里中忍校長，電子システム技術科里中孝美教授に心から御礼を申し上げます。

第2章から第6章までのシミュレーションおよびチップ試作は，東京大学大規模集積システム設計教育研究センターを通し，ローム(株)，凸版印刷(株)，シノプシス株式会社，日本ケイデンス株式会社ならびにメンター株式会社の協力で行われたものであります。ここに感謝の意を表します。

最後に，本学位論文の作製にあたって，東海大学から「学位論文援助金」を賜ったことを記し感謝の意を表します。

参考文献

- [1] 富士通研究所：「世界初！手のひら静脈と指紋を用いた 100 万人規模の認証技術を開発」, FUJITSU ホームページ (2011-6)
- [2] 土屋哲・上田晴康・此島真喜子：「ビッグデータ利活用を支える並列分散処理と類似検索の高速化技術」, Fujitsu, Vol.66, No.4, pp.33-41(2015-7)
- [3] 高田伸彦・南俊博：「情報セキュリティ教科書」, 東京電機大学出版局 (2008)
- [4] J. A. Store and T. G. Szymanski: “Data Compression Via Textual Substitution”, *Journal of the ACM*, Vol.29, No.7, pp.928-951(1982-10)
- [5] T. C. Bell : “ Better OPM/L Text Compression ” , *IEEE Trans. on Communications*, Vol.34, No.12, pp.1176-1182(1986-12)
- [6] 菊池豊彦, “ 入門 ニューロコンピュータ ” , オーム社 (1990)
- [7] 安浦寛人：「機能メモリによる超並列処理」, 情報処理, Vol.32, No.12, pp.1260-1267(1991-12)
- [8] 鈴木敬・大附辰夫：「連想メモリを用いた VLSI 設計用図形処理ハードウェア」, 信学論 A, Vol.J72-A, No.3, pp.550-560(1989-3)
- [9] 中村恵介・木村功・佐藤政生・大附辰夫：「連想プロセッサ・システムの構成とアプリケーションの実装」, 情処研報, pp.9-16(1994-2)
- [10] P. B. Watta, M. Akkal and M. H. Hassoun : “ Decoupled-Voting Hamming Associative Memory Networks ” , *International Conference on Neural Networks*, Vol.2, No.6, pp.1188-1193(1997-6)
- [11] 小出哲士：「最小距離検索連想メモリ LSI アーキテクチャの開発とその集積化」, 丸文財団ホームページ (2004)

- [12] H. Yamada, M. Hirata, H. Nagai and K. Takahashi : “ A High-Speed String-Search Engine ” , *IEEE Journal of Solid-State Circuits*, Vol.SC-22, No.5, pp.829-834(1987-10)
- [13] F. K. Gurkaynak, Y. Leblebici and D. Mlynek : “ A Compact High-Speed Hamming Distance Comparator for Pattern Matching Applications ” , *Proceedings of 1998 European Signal Processing Conference 1998*(1998-9)
- [14] K. Pagiamtzis and A. Sheikholeslami : “ Content-addressable memory (CAM) circuits and architectures: a tutorial and survey ” , *IEEE Journal of Solid-State Circuits*, Vol.41, No.3, pp.712-727(2006-3)
- [15] R. Danilo, H. N. Wouafo, C. Chavet, V. Gripon, L. C. Canencia and P. Coussy : “ Associative Memory Based on Clustered Neural Networks: Improved Model and Architecture for Oriented Edge Detection ” , *2016 Conference on Design and Architectures for Signal and Image Processing*, pp.51-58(2016-10)
- [16] A. Annovi, G. Calderini, F. Crescioli, F. D. Canio, L. Frontini, T. Kubota, V. Liberali, P. Luciano, F. Palla, S. R. Shojaii, C. L. Sotiropoulou, A. Stabile and F. Traversi : “ A low-power and high-density Associative Memory in 28 nm CMOS Technology ” , *2017 6th International Conference on Modern Circuits and Systems Technologies*, pp.1-4(2017-3)
- [17] H. J. Mattausch, W. Imafuku, A. Kawabata, T. Ansari, M. Yasuda and T. Koide : “ Associative Memory for Nearest-Hamming-Distance Search Based on Frequency Mapping ” , *IEEE Journal of Solid State Circuits*, Vol.47, No.6, pp.1448-1459(2012-4)
- [18] Y. Oike, M. Ikeda and K. Asada : “ A High-Speed and Low-Voltage Associative Co-Processor With Hamming Distance Ordering Using Word-Parallel and Hierarchical Search Architecture ” , *IEEE Custom Integrated Circuits Conference*, pp.643-646(2003-9)
- [19] H. J. Mattausch, M. Yasuda, A. Kawabata, W. Imafuku and T. Koide : “ A 381 fs/bit, 51.7nW/bit Nearest Hamming-Distance Search Circuit in 65 nm CMOS ” , *Symposium on VLSI Circuits*, pp.192-193(2011-6)
- [20] H. J. Mattausch, T. Gyohnten, T. Soda and T. Koide : “ Compact Associative-Memory Architecture with Fully Parallel Search Capability for the Minimum Hamming Distance ” , *IEEE Journal of Solid-State Circuits*, Vol.37, No.2, pp.218-227(2002-8)

- [21] 大池祐輔・池田誠・浅田邦博：「同期式高速ハミング距離検索連想メモリ」, 信学技法. ICD, Vol.102, No.2, pp.19-24(2002-4)
- [22] 小出哲士・行天隆幸・早田嘉浩・マタウシュ ハンス ユルゲン：「最小ハミング距離検索機能を有する全並列型アーキテクチャによる小面積・高速連想メモリの開発」, 信学技法. ICD, Vol.101, No.1, pp.27-34(2001-4)
- [23] T. Koide and H. J. Mattausch : “ Associative Memory with Fully Paralell Nearest-Manhattan-Distance Search for Low-Power Real-Time Single-Chip Applications ”, *IEEE Design Automation Conference*, 2004, pp.543-544(2004-1)
- [24] 矢野祐二・溝上政弘・本田稔・小出哲士・マタウシュ ハンス ユルゲン：「全並列型最小マンハッタン距離検索連想メモリ」, 信学技法. DC, Vol.102, No.279, pp.181-186(2002-11)
- [25] Y. Oike, M. Ikeda and K. Asada : “ A Word-Parallel Digital Associative Engine with Search Range Based on Manhattan Distance ”, *Proceedings of the IEEE 2004 Custom Integrated Circuits Conference*, pp.295-298(2004-11)
- [26] M. A. Abedin, T. Koide and H. J. Mattausch : “ Nearest Euclidian Distance Search Associative Memory for High-Speed Pattern Matching ”, *DUET Journal*, Vol.1, No.2, pp.31-34(2011-6)
- [27] T. Shibata and T. Ohmi : “ A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations ”, *IEEE Trans. Electron Devices*, Vol.39, No.6, pp.1444-1455(1992-6)
- [28] 柴田直・大見忠弘：「ニューロンMOSトランジスタの拓く新しい理論LSIの世界」, 信学技報, ICD93-6, pp.39-46(1993-4)
- [29] 仙北智晴・福原雅朗・吉田正廣：「ニューロンMOSトランジスタを用いた単一出力端子を有する可変論理回路の提案」, 信学論C, Vol.J87-C, pp.656-657(2004-8)
- [30] 野村尚宏・村中徳明・今西茂・徳丸正孝：「多値を用いた逐次型乗算器の構成」, 信学技報. CAS, Vol.105, No.504, pp.19-24(2006-1)
- [31] M. Sakamoto, S. Mizukami, D. Hamano and H. Fujisaka : “ A Design of 4-Operand Redundant Binary Parallel Adder Using Neuron MOS ”, *Proceedings of the 2004 International Symposium on Circuits and Systems*, 2004, pp.793-796(2004-5)

- [32] 池兼次郎・廣瀬啓・安浦寛人：「ニューロン MOS トランジスタを用いた基本論理素子の設計手法」, 信学技報, VLD, Vol.95, Vol.562, pp.25-32(1996-3)
- [33] Y. Ishikawa and S. Fukai : “ A Neuron MOS Variable Logic Circuit with the Simplified Circuit Structure ” , *Proceedings of 2004 IEEE Asia-Pacific Conference on Advanced System Integrated Circuits 2004*, pp.436-437(2004-8)
- [34] T. Shibata, T. Nakai, N. M. Yu, Y. Yamashita, M. Konda and T. Ohmi : “ Advanced in Neuron-MOS Applications ” , *ISSCC 1996. Digest of Technical Papers*, pp.304-305(1996-8)
- [35] 小林貴裕・吉田正廣：「ニューロン CMOS インバータを用いた高速 NAND 型 CAM」, 信学論 C, Vol.J93-C, No.5, pp.175-176(2010-5)
- [36] 山下喜市：「可変分周器の新構成法」, 信学論 C, Vol.J65-C, No.3, pp.199-200(1982-3)
- [37] 稲垣雄志・松谷康之：「固定小数点カウンタと TDC を用いた全デジタル PLL の提案」, 信学論 A, Vol.93, No.4, pp.335-337(2010-4)
- [38] T. Y. Hsu, B. J. Shieh and C. Y. Lee : “ An All-Digital Phase-Locked Loop (ADPLL)-Based Clock Recovery Circuit ” , *IEEE Journal of Solid-State Circuits*, Vol.34, No.8, pp.1063-1073(1999-8)
- [39] 矢原充敏・佐々木博敏・藤本邦昭・佐々木博文：「分周比可変方式による広帯域全デジタル PLL」, 信学論 B, Vol.J86-B, No.11, pp.2277-2284(2003-11)
- [40] Y. Hisamitsu : “ A/d converting circuit, solid-state image sensing device and camera system ” , 特開 WO20090-41474 A1(2009)
- [41] 小川徹・谷口研二：「PLL 出力における 50%デューティ補償回路」, 信学論 C, Vol.J85-C, No.7, pp.557-563(2002-7)
- [42] ジェレミースクテリ：「分周回路および分周方法」, 特開 2008-301488(2008)
- [43] 原田充・山岸明洋：「可変分周方法および可変分周器」, 特開 WO2004-105247(2006)
- [44] F. Pace : “ Programmable high-speed frequency divider ” , USPatent8,378,719 B1(2013)
- [45] 村瀬浩：「可変分周回路」, 特開平 6-224748(1994)

- [46] 佐々木博文・矢原充敏・川原恵治・朱紅兵・上野文男：「ミラー積分形SC無安定マルチバイブレーターによる分周器」, 信学論 C-II, Vol.J77-C-2, No.2, pp.83-89(1994-2)
- [47] 福原雅朗・吉田正廣：「ニューロン MOS インバータを用いたハミング距離検出回路の提案」, 信学論 C, Vol.J89-C, No.6, pp.421-422(2006-6)
- [48] N. M. Yu, T. Shibata and T. Ohmi : “ A Real-Time Center-of-Mass Tracker Circuit Implemented by Neuron MOS Technology ” , *IEEE Trans. on Circuits and System II: Analog and Digital Signal Processing*, Vol.45, No.4, pp.495-503(1998-4)
- [49] Y. Suzuki, K. Odagawa and T. Abe : “ Clocked CMOS Calculator Circuitry ” , *IEEE Journal of Solid-State Circuits*, Vol.8, No.6, pp.462-469(1973-12)

発表論文一覧

1. 佐藤祥輝・吉田正廣・原田裕二郎・藤本邦昭：「ニューロン CMOS インバータを用いたフラッシュ型 AD 変換器」, 信学論 C, Vol.J96-C, No.12, pp.552-553(2013-12)
2. Yujiro Harada, Kuniaki Fujimoto, Mitsutoshi Yahara and Kei Eguchi : “ A Study on Flash Type A/D Converter Using Neuron CMOS Inverter ” , *Advanced Materials Research*, Vol.931-932, pp.915-919(2014-5)
3. Yujiro Harada, Kuniaki Fujimoto, Mitsutoshi Yahara and Kei Eguchi : “ A Size Reduction Technique for an A/D Converter Using Neuron CMOS Inverters ” , *Journal of Applied Science and Agriculture*, Vol.9, No.11, pp.132-137(2014-10)
4. Yujiro Harada, Kei Eguchi and Kuniaki Fujimoto : “ A Flash Type A/D Converter Using Clocked Neuron CMOS Inverters ” , *ICIC Express Letters*, Vol.9, No.2, pp.309-315(2015-2)
5. 原田裕二郎・矢原充敏・松本欣也・藤本邦昭：「分周比に依存しないデューティ比 50 % の可変分周器とその PLL への応用」, 電気学会論文誌 C, Vol.136, No.1, pp.2-7(2016-1)
6. 原田裕二郎・藤本邦昭・福原雅朗・吉田正廣：「ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリ」, 電気学会論文誌 C, Vol.136, No.1, pp.36-42(2016-1)
7. Yujiro Harada, Mitsutoshi Yahara, Kei Eguchi and Kuniaki Fujimoto : “ Design of a Threshold Automatic Compensation Circuit for a Voltage Controlled Oscillator Using a Schmitt-Trigger Circuit with CMOS Inverters ” , *ICIC Express Letters*, Vol.10, No.5, pp.1015-1021(2016-5)
8. Yujiro Harada, Kuniaki Fujimoto, Kei Eguchi, Masaaki Fukuhara and Masahiro Yoshida : “ Design of a Wide Range Hamming Distance Search Circuit using Neuron CMOS Inverters ” , *Indian Journal of Science & Technology*, Vol.9, No.28, pp.1-5(2016-7)

9. Yujiro Harada, Kuniaki Fujimoto, Kei Eguchi, Masaaki Fukuhara and Masahiro Yoshida:
“ A Minimum Manhattan Distance Retrieving Circuit Using Neuron CMOS Inverters ” ,
International Journal of Electronics and Electrical Engineering, Vol.4, No.4, pp.290-
295(2016-8)

10. Yujiro Harada, Kuniaki Fujimoto, Kei Eguchi, Masaaki Fukuhara and Masahiro Yoshida:
“ A Wide Range Manhattan Distance Search Circuit Using Neuron CMOS Invert-
ers ” , *International Journal of Innovative Computing, Information and Control*, to
appear(2016-6)