

論文の内容の要旨

論文題目「ニューロン CMOS インバータを用いた連想メモリに関する研究」

学位申請者 原田 裕二郎

キーワード：ニューロン CMOS 連想メモリ ハミング距離 マンハッタン距離 位同期ループ

現在、膨大なデータの中から入力に最も類似したデータを高速に検索することができる連想メモリが注目されている。入力データに最も類似したデータを検索する処理は、指紋認証や人検出、データ圧縮、ウィルス・マルウェア検知等、多くの場面で用いられているが、ソフトウェアでこの処理を行う場合、データを逐次呼び出して比較しなければならぬため、ビット数やデータ量の増加に伴い急激に検索時間が増大し、リアルタイム処理が難しいという問題点がある。そのため、現在連想メモリの性能の向上が期待されている。連想メモリにおいて、入力データに対する参照データの類似度の指標は距離により表され、ハミング距離とマンハッタン距離が主に用いられている。ハミング距離は、指紋認証や文字認識などに用いられ、マンハッタン距離はカラー画像認識等に用いられている。従来回路において、脳の神経細胞と似た性質を持つニューロン CMOS インバータを用いた方式の連想メモリが提案されているが、製造時のばらつきや温度変化によるニューロン CMOS インバータの閾値電圧変動や、初期電荷の影響を受けるという問題点があった。

本論文は、連想メモリにおける検索速度の向上と従来回路における課題の解決を目的として行ったものであり、7章より構成しており、以下に各章ごとの概略を示す。

第1章は「序論」であり、本研究の目的と背景、および本論文の構成と概要について述べた。

第2章は「ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリ」であり、ハミング距離を指標に入力データに最も類似した参照データを検索することが可能な、ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリを提案した。ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリは、ハミング距離をニューロン CMOS インバータのフローティングゲートの電圧に変換し、それを時間に変換することにより、検索動作を行う。従来のニューロン CMOS インバータを用いた連想メモリは、ニューロン CMOS インバータの閾値電圧の変動や、初期電荷の影響を受け、誤動作を起こす可能性があった。2章では、従来回路の問題点を解決するために、検索動作の前にそのフローティングゲートをニューロン CMOS インバータの出力に接続することによって、閾値電圧変動および初期電荷の影響を排除できることを明らかにした。さらに、HSPICEを用いたシミュレーションにより、提案する最小ハミング距離検索連想メモリによって高速な検索動作が得られることを示した。

第3章は「ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリ」

であり、マンハッタン距離を指標として入力データに最も類似した参照データを検索することが可能な、ニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリを提案した。提案する最小マンハッタン距離検索連想メモリは、マンハッタン距離をニューロン CMOS インバータのフローティングゲートの電圧に変換し、それを時間に変換することにより、検索動作を行う。提案する最小マンハッタン距離検索連想メモリにより、高速な検索動作が得られることを、HSPICE を用いたシミュレーションにより示した。

第4章は「ニューロン CMOS インバータを用いた範囲内距離検索連想メモリ」であり、ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリをさらに発展させた範囲内ハミング距離検索連想メモリ、およびニューロン CMOS インバータを用いた最小マンハッタン距離検索連想メモリをさらに発展させた範囲内マンハッタン距離検索連想メモリを提案した。提案する範囲内ハミング距離検索連想メモリは、外部からハミング距離を指定することにより、そのハミング距離以内の参照データを全て検索することができる。また、提案する範囲内マンハッタン距離検索連想メモリは、外部からマンハッタン距離を指定することにより、そのマンハッタン距離以内の参照データを全て検索することができる。提案する2つの範囲内距離検索連想メモリは、HSPICE を用いたシミュレーションにより、最小距離検索連想メモリと同等の性能が得られることを明らかにした。

第5章は「クロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリ」であり、ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリをさらに発展させた低消費電力特性を持つクロックドニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリを提案した。第2章で提案したニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリは、高速動作かつ従来の問題を解決する優位な特性を有しているが、ニューロン CMOS インバータのフローティングゲートの電圧が閾値電圧付近になるため、消費電力が大きいという難点があった。これを解決するために、ニューロン CMOS インバータの代わりにクロックドニューロン CMOS インバータを用いることで、消費電力の削減が可能であることを明らかにした。

第6章は「デューティ比 50%の可変分周器とデューティ比 50%の分周比可変型デジタル位相同期ループ」であり、連想メモリに対して安定した制御クロック信号を供給するためのデューティ比 50%の可変分周器を提案するとともに、これを分周比可変型デジタル位相同期ループへ応用した。連想メモリを始めとするメモリにおいて、制御クロックの周波数の安定性は回路の高い精度を保つために非常に重要である。提案する可変分周器は、その分周比に関係なく常にデューティ比 50%の出力が得られる。また、これを分周比可変型デジタル位相同期ループに用いた際には、入力周波数に関係なく常にデューティ比 50%の安定したクロック供給源として動作することを明らかにした。

第7章は「結論」であり、本論文を総括した。提案する連想メモリおよびデューティ比 50%の分周比可変型デジタル位相同期ループから得られる結果について述べ、各章の結果をまとめた。また、今後の検討課題について述べた。

以上から、本研究では、提案する回路が従来回路における問題点を解決し、高速動作、低消費電力特性等の優位な特性を有していることを明らかにした。