

# NI, NAND および CYC ゲートを用いた 3 値順序回路の一構成

藤本邦昭\*・佐藤邦夫\*\*・小高明夫\*\*\*

## A Design of Ternary Sequential Logic Circuits with NI, NAND and CYC Gates

by

Kuniaki FUJIMOTO, Kunio SATO and Akio ODAKA

(Received on Apr. 1, 1988)

### Abstract

In this paper, we present MOS electronic circuits for CYC (cycling) gates, NAND gate and NI (not-inhibit) gate in the ternary logic and propose several basic ternary FF (flip-flop) using those gates. The first group of FF is called nonselected type, and includes D (delay)-FF, MS (master-slave)-FF and T (trigger count)-FF. The second group is called selected type, and includes SD (selected D)-FF, SMS (selected MS)-FF and UDT (up-down T)-FF. The operations of those FF are verified by SPICE 2. Results of the simulation are presented in this paper. Two applications are shown which are ternary shift-register and ring-counter using SMS-FF.

**Keywords:** ternary sequential circuit, SD-FF, SMS-FF, UDT-FF, T-FF.

### 1. 緒 言

著者らはすでに NI (not-inhibit) ゲート, NAND ゲート, CYC (cycling) ゲートを用いた多値論理関数の構成法に関する提案を行った<sup>1)</sup>. 本論文は, その続報であり,  $p=3$  すなわち 3 値論理における各ゲートの電子回路化の一方法を提案する. さらに, これらのゲートを用いた 3 値順序回路の基本回路の一構成法を論ずる.

3 値順序回路を構成する上で, 3 値 3 安定フリップフロップ (以下, 3 値 FF と略記する) は重要な構成要素である. しかし, これまで発表されている 3 値 FF 回路では,  $0 \rightarrow 2 \rightarrow 0$  と変化するクロックパルス (以下, ク

ロックパルスを CP と略記する) を用いたものがほとんどで<sup>2-4)</sup>, 3 値信号を用いることによって生ずる利点を十分に生かしていないように思える. そこで,  $1 \rightarrow 2 \rightarrow 1$  および  $1 \rightarrow 0 \rightarrow 1$  と変化する 2 種類の CP を用いる新しい 3 値 FF 回路を提案する.

2 章において, NI ゲート, NAND ゲート, CYC ゲートの回路化を行う. 3 章では, 2 章で示したゲートを用いて一般的 3 値 FF である 3 値 D (delay) 形 FF, 3 値 MS (master slave) 形 FF, 3 値 T (trigger counter) 形 FF の一構成を提案する. さらに, 2 種類の CP を用いる新しい 3 値 FF である 3 値 SD (selected D) 形 FF, 3 値 SMS (selected MS) 形 FF, 3 値 UDT (up-down

\* 工学研究科修士課程電子工学専攻 \*\* 工学部電子工学科技術員 \*\*\* 工学部制御工学科教授

T) 形 FF の構成法を示す。最後に 4 章では, 3 値 SMS 形 FF を用いた応用回路例を示す。

## 2. 基本ゲートの回路化

本章では, 基本ゲートとして用いる NI ゲート, NAND ゲート, CYC ゲートの MOSFET と抵抗を用いた電子回路化について述べる。NI ゲートは, MOSFET 3 個と抵抗 2 個を用いた 1 段のゲートで実現できる。 $n$  入力 NAND ゲートは, MOSFET  $2 \times n$  個と抵抗 2 個を用いた 1 段のゲートで実現できる。CYC ゲートは, MOSFET 3 個と抵抗 4 個を用いた 2 段のゲートで実現できる。

なお, 本論文における 3 値論理は, 真理値 (3 値信号) として 0, 1, 2 を用いる。また, 3 値論理における変数を  $x_i, x_j, x_k$  と表わす ( $i, j, k=1, 2, \dots$ )。真理値に対応する電圧レベルは Table 2.1 のように定める。使

Table 2.1 Correspondence between the voltage level and the truth value.

| Truth Value | Voltage Level |
|-------------|---------------|
| 0           | -5[V]         |
| 1           | 0[V]          |
| 2           | 5[V]          |

用する MOSFET のしきい電圧は ' $p$  チャネル MOSFET が  $-2.5[V]$ , ' $n$  チャネル MOSFET が  $2.5[V]$  とする。使用する抵抗の値は,  $100[k\Omega]$  とする。なお本論文における回路の動作確認は, 回路解析プログラム SPICE 2 によるシミュレーションを用いた。各 MOSFET の SPICE 2 でのパラメータを付録に示す。

### 2.1 NI (not inhibit) ゲート

次式で表わされる NI 演算,  $NI(x_1, x_2)$  の機能を実現するゲートを NI ゲートと呼ぶ<sup>1)</sup>。

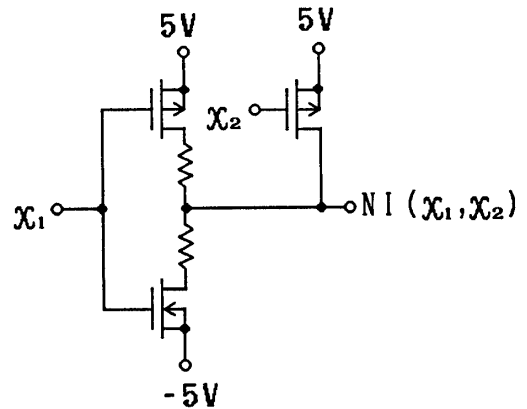


Fig. 2.1 A MOSFET circuit of NI gate.

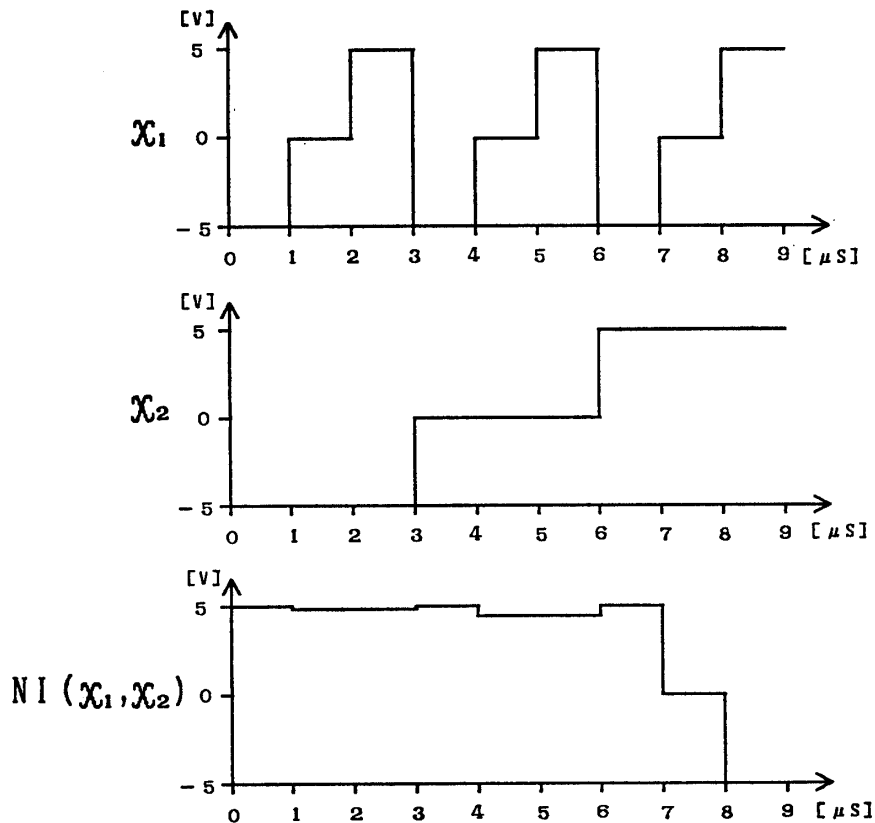


Fig. 2.2 Input-output voltage waveforms of NI gate.

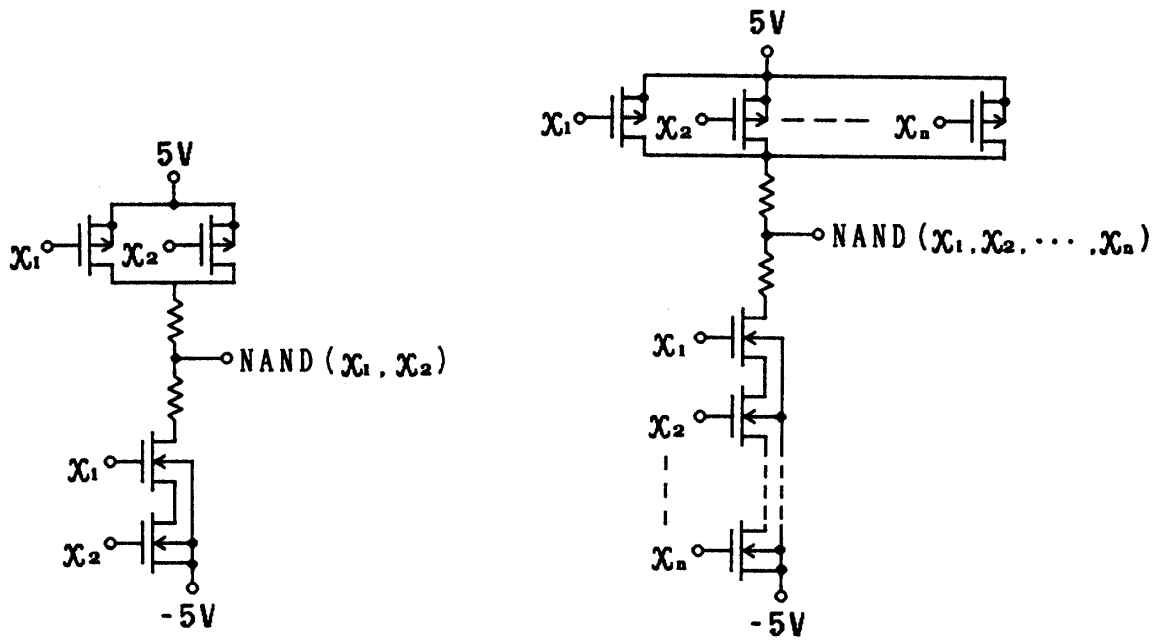


Fig. 2.3(a) A MOSFET circuit of 2 input NAND.

Fig. 2.3(b) A MOSFET circuit of  $n$  input NAND.

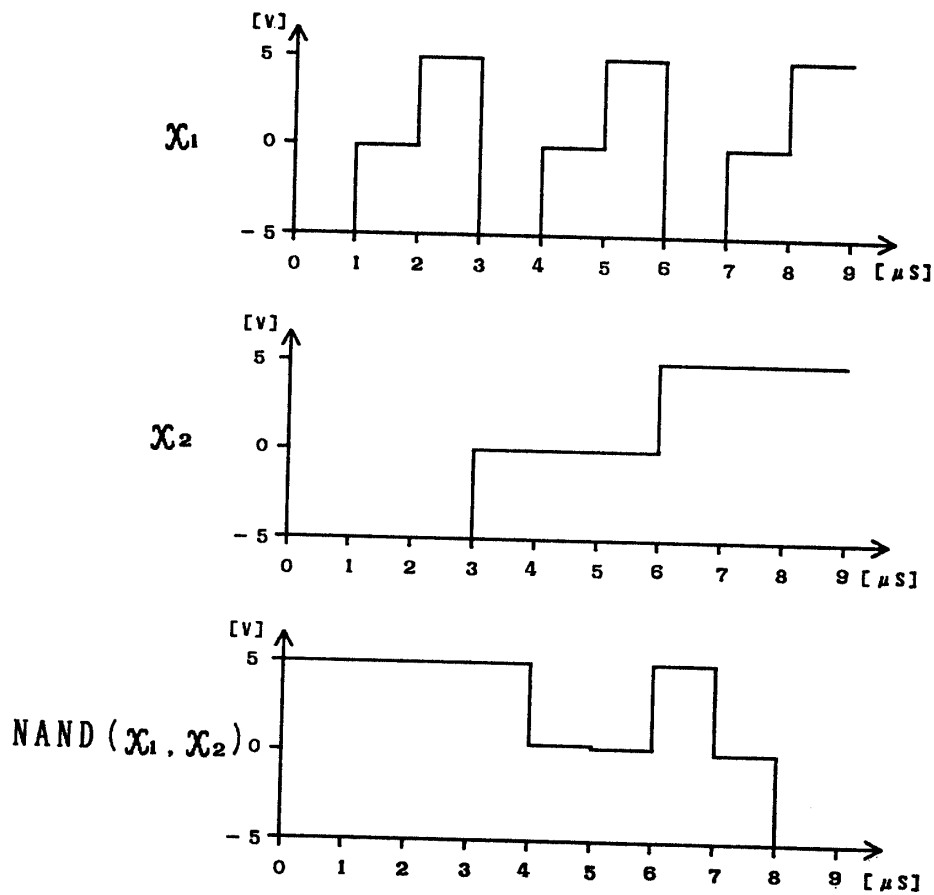


Fig. 2.4 Input-output voltage waveforms of 2 input NAND.

$$NI(x_1, x_2) = \begin{cases} 2 & ; x_2 < 2 \text{ のとき} \\ 2 - x_1 & ; x_2 = 2 \text{ のとき} \end{cases} \quad (2.1)$$

NI ゲートの回路図を Fig. 2.1 に示す。また、入出力特性の SPICE 2 を用いたシミュレーション結果<sup>†</sup>を Fig. 2.2 に示す。これより、NI ゲートが期待した動作をしていることがわかる。

## 2.2 NAND ゲート

次式で表わされる NAND 演算,  $NAND(x_1, x_2, \dots, x_n)$  の機能を実現するゲートを NAND ゲートと呼ぶ<sup>1)</sup>。

$$NAND(x_1, x_2, \dots, x_n) = 2 - \min(x_1, x_2, \dots, x_n) \quad (2.2)$$

2 入力 NAND ゲートならびに  $n$  入力 NAND ゲートの回路図をそれぞれ Fig. 2.3(a) および (b) に示す。また、2 入力 NAND ゲートの入出力特性のシミュレーション結果を Fig. 2.4 に示す。これより、2 入力 NAND ゲートが期待した動作をしていることがわかる。

## 2.3 CYC (cycling) ゲート

2 種類の CYC ゲートを用いることにする。CYC 演算  $CYC(x)$  は、次式で表わされる<sup>1)</sup>。

$$CYC(x) = (x+2) \bmod 3 \quad (2.3)$$

また、 $x$  に対して CYC 演算を  $n$  回行ったとき、これを  $x^n$  と表わす。

$$x^i = CYC(x^{i-1})$$

$$\text{ただし, } x^0 = x \quad (2.4)$$

1 回の CYC 演算の機能を実現するゲートを CYC 1 ゲートと呼ぶ。CYC 1 ゲートの回路図を Fig. 2.5 に示す。

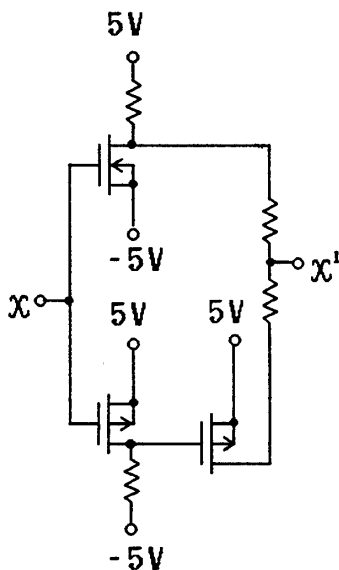


Fig. 2.5 A MOSFET circuit of CYC1 gate.

す。また、入出力特性のシミュレーション結果を Fig. 2.6 に示す。これより、CYC 1 ゲートが期待した動作をしていることがわかる。

2 回の CYC 演算の機能を実現するゲートを CYC 2 ゲートと呼ぶ。CYC 2 ゲートの回路図を Fig. 2.7 に示す。また、CYC 2 ゲートの入出力特性のシミュレーション結果を Fig. 2.8 に示す。これより、CYC 2 ゲートが期待した動作をしていることがわかる。

各ゲートのゲート記号は Table 2.2 のように定めた。

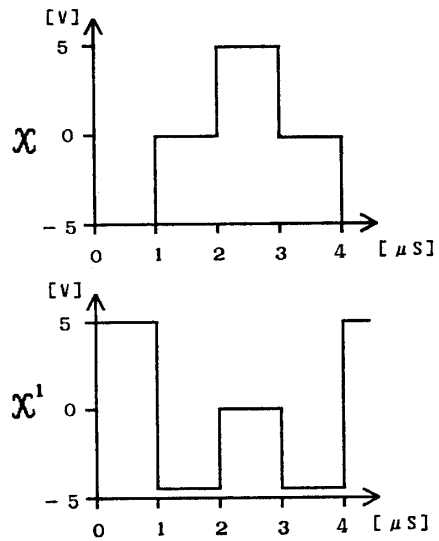


Fig. 2.6 Input-output voltage waveforms of CYC 1 gate.

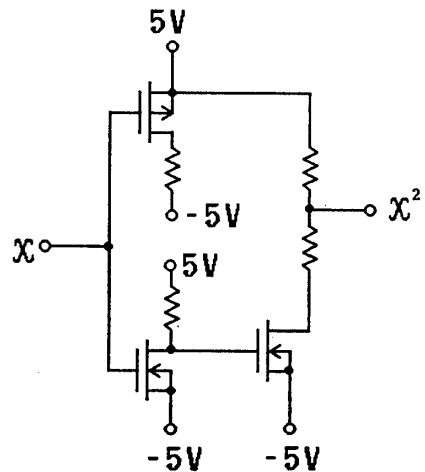


Fig. 2.7 A MOSFET circuit of CYC2 gate.

## 3. 3 値フリップフロップ回路

本章では、2 章で示した基本ゲートを用いた 3 値 FF 回路を提案する。

まず、一般的 3 値 FF 回路である 3 値 D 形 FF 回路、

<sup>†</sup> 以下の回路シミュレーションも SPICE 2 で行なった。以下では、単にシミュレーションと略記する。

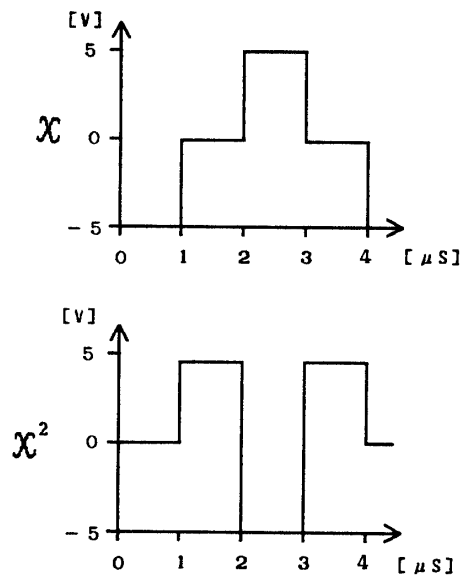


Fig. 2.8 Input-output voltage waveforms of CYC2 gate.

Table 2.2

| Gate Name | Logic Symbols                                                                                          |
|-----------|--------------------------------------------------------------------------------------------------------|
| NAND      | $\begin{array}{c} X_1 \\ X_2 \end{array} \rightarrow \text{NAND} \rightarrow \overline{X_1 \cdot X_2}$ |
| NI        | $\begin{array}{c} X_1 \\ X_2 \end{array} \rightarrow \text{NI} \rightarrow \overline{X_1 \Delta X_2}$  |
| CYC1      | $X \rightarrow \text{CYC1} \rightarrow X^1$                                                            |
| CYC2      | $X \rightarrow \text{CYC2} \rightarrow X^2$                                                            |

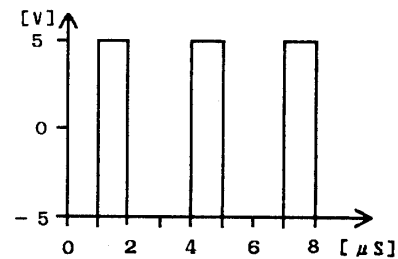


Fig. 3.1 Voltage waveforms of normal clock pulse.

3値MS形FF回路, 3値T形FF回路を構成する. これらの3値FF回路で用いるCPをFig. 3.1に示す. このCPにおいて $-5[V] \rightarrow 5[V]$ と変化する部分を立ち上がり,  $5[V] \rightarrow -5[V]$ と変化する部分を立ち下がりと呼ぶ.

つぎに, 2種類のCPを用いる新しい3値FF回路である3値SD形FF回路, 3値SMS形FF回路, 3値UDT形FF回路を構成する. これらの3値FF回路で用いるCPをFig. 3.2に示す. なお, Fig. 3.2(a)を正のCP, (b)を負のCPと呼ぶ. 正のCPで $0[V] \rightarrow 5[V]$ と変化する部分を立ち上がり,  $5[V] \rightarrow 0[V]$ と変化する部分を立ち下がりと呼ぶ. 負のCPで $0[V] \rightarrow -5[V]$ と変化する部分を立ち上がり,  $-5[V] \rightarrow 0[V]$ と変化する部分を立ち下がりと呼ぶ.

### 3.1 D (delay) 形 FF 回路

D形FF回路の回路図をFig. 3.3に示す. また, 機能表をTable 3.1に示す. D形FF回路は, CPが2の時, 入力端子Dの値を出力し, CPが0の時, 以前の出力状態を保持する. D形FF回路の入出力特性のシミュレーション結果をFig. 3.4に示す. これより, D形FF回路が期待した動作をしていることがわかる.

### 3.2 MS (master slave) 形 FF 回路

MS形FF回路の回路図並びに回路記号をFig. 3.5に示す. MS形FF回路は, マスター部とスレーブ部より構成される. マスター部は, D形FF回路である. また,

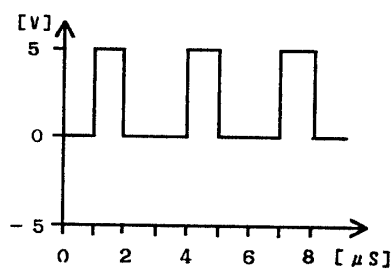


Fig. 3.2(a) Voltage waveforms of positive clock pulus.

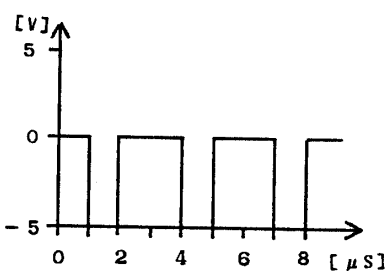


Fig. 3.2(b) Voltage waveforms of negative clock pulus.

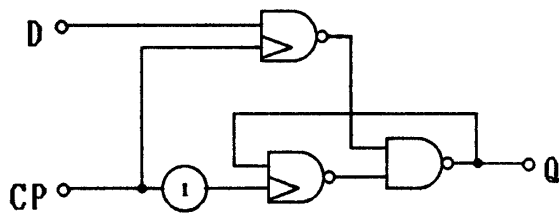


Fig. 3.3 A logical circuit of D-FF.

Table 3.1 Function table of D-FF.

| CP | Q |
|----|---|
| 2  | D |
| 0  | Q |

0 = 0 level

2 = 2 level

D = the level of D

Q = the level of Q

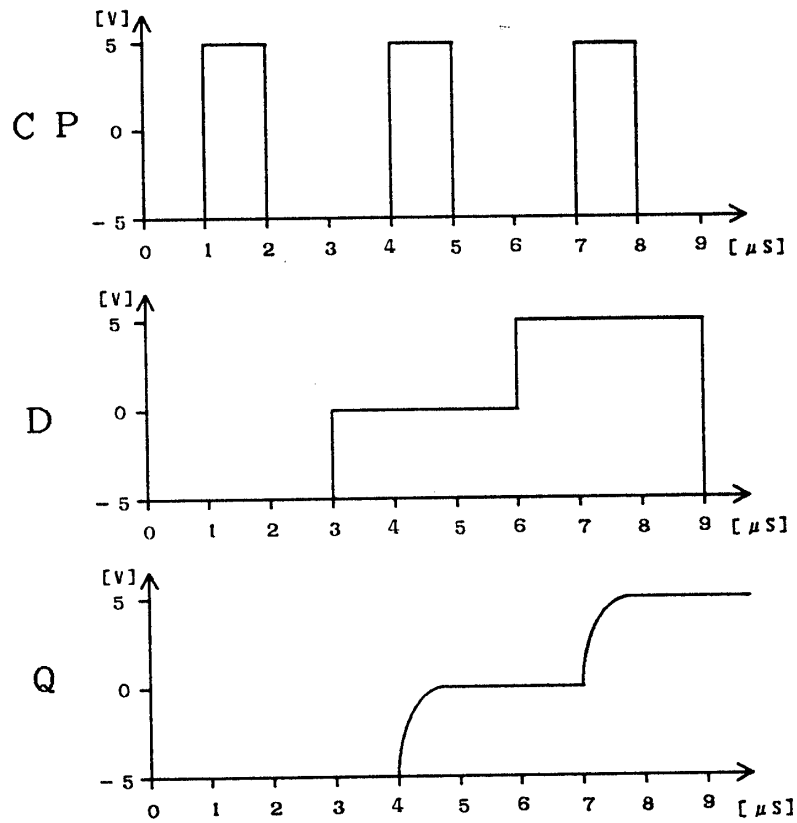


Fig. 3.4 Input-output voltage waveforms of D-FF.

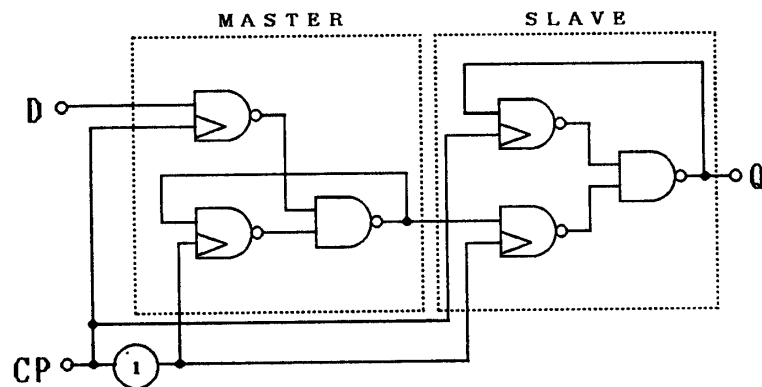


Fig. 3.5 A logical circuit of MS-FF.

MS 形 FF 回路の機能表を Table 3.2 に示す。MS 形 FF 回路は CP の立ち下がりの時の値を、次の立ち下がりまでの間記憶することができる。MS 形 FF 回路の入出力特性のシミュレーション結果を Fig. 3.6 に示す。これより、MS 形 FF 回路が期待した動作をしていることがわかる。

Table 3.2 Function table of MS-FF.

| CP | Q |
|----|---|
| 2  | Q |
| ↓  | D |
| 0  | Q |

0 = 0 level

2 = 2 level

D = the level of D

Q = the level of Q

↓ = transition from 2 to 0

### 3.3 T (trigger count) 形 FF 回路

T 形 FF 回路の回路図を Fig. 3.7 に示す。T 形 FF 回

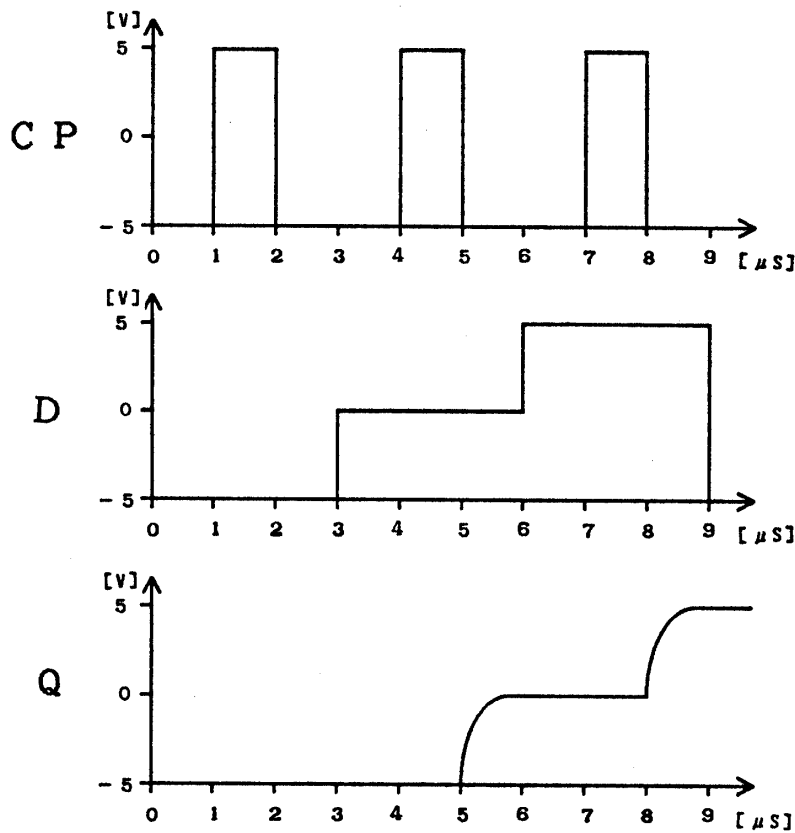


Fig. 3.6 Input-output voltage waveforms of MS-FF.

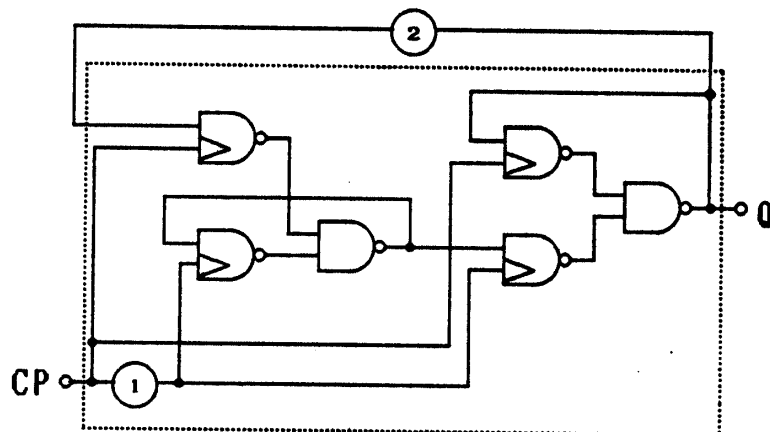


Fig. 3.7 A logical circuit of T-FF.

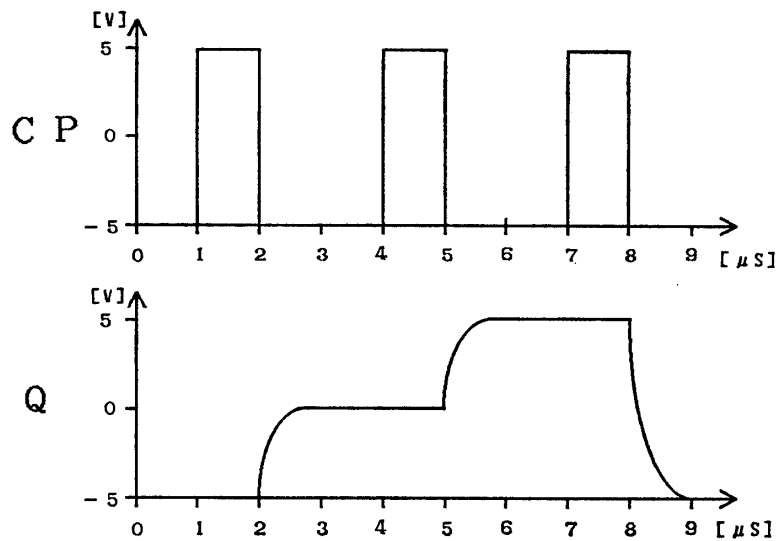


Fig. 3.8 Input-output voltage waveforms of T-FF.

Table 3.3 Function table of T-FF.

| CP | Q              |
|----|----------------|
| 2  | Q              |
| ↓  | Q <sup>2</sup> |
| 0  | Q              |

0 = 0 level

2 = 2 level

Q = the level of Q

 Q<sup>2</sup> = the level of CYC (CYC(Q))

↓ = transition from 2 to 0

路は MS 形 FF 回路と CYC 2 ゲートより構成される。T 形 FF 回路の機能表を Table 3.3 に示す。T 形 FF 回路は、CP が立ち下がる毎に出力の値が 1 加算された値に変化する 3 値 1 桁の計数器として働く。T 形 FF 回路の入出力特性のシミュレーション結果を Fig. 3.8 に示す。これより、T 形 FF 回路が期待した動作をしていることがわかる。

### 3.4 SD (selected D) 形 FF 回路

SD 形 FF 回路の回路図を Fig. 3.9 に示す。また、SD 形 FF 回路の機能表を Table 3.4 に示す。SD 形 FF 回路は、CP が 0 の時、入力端子 D<sub>0</sub> の値を出力し、CP が 2 のとき入力端子 D<sub>2</sub> の値を出力する。そして、CP が 1 の時、現在の出力状態を保持する。SD 形 FF 回路の入出力特性のシミュレーション結果を Fig. 3.10 に示す。これより、SD 形 FF 回路が期待した動作をしていることがわかる。

### 3.5 SMS (selected MS) 形 FF 回路

SMS 形 FF 回路の回路図並びに回路記号を Fig. 3.11

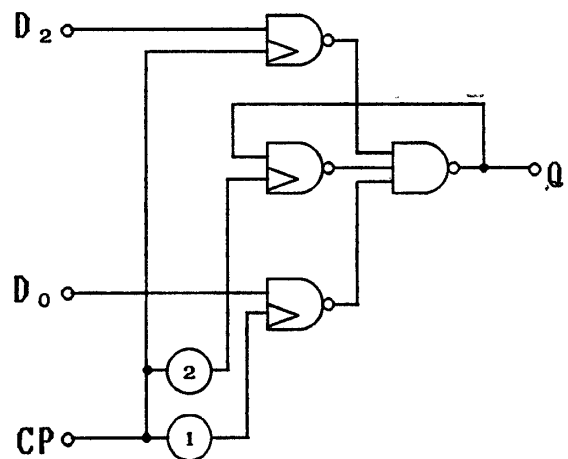


Fig. 3.9 A logical circuit of SD-FF.

Table 3.4 Function table of SD-FF.

| CP | Q              |
|----|----------------|
| 2  | D <sub>2</sub> |
| 1  | Q              |
| 0  | D <sub>0</sub> |

0 = 0 level

1 = 1 level

2 = 2 level

Q = the level of Q

 D<sub>0</sub> = the level of D<sub>0</sub>

 D<sub>2</sub> = the level of D<sub>2</sub>

(a) および (b) に示す。SMS 形 FF 回路は、マスター部とスレーブ部より構成される。マスター部は、SD 形 FF 回路である。また、SMS 形 FF 回路の機能表を Table 3.5 に示す。SMS 形 FF 回路は、CP の立ち下りの時の入力データ（正の CP の時は入力端子 D<sub>2</sub>、

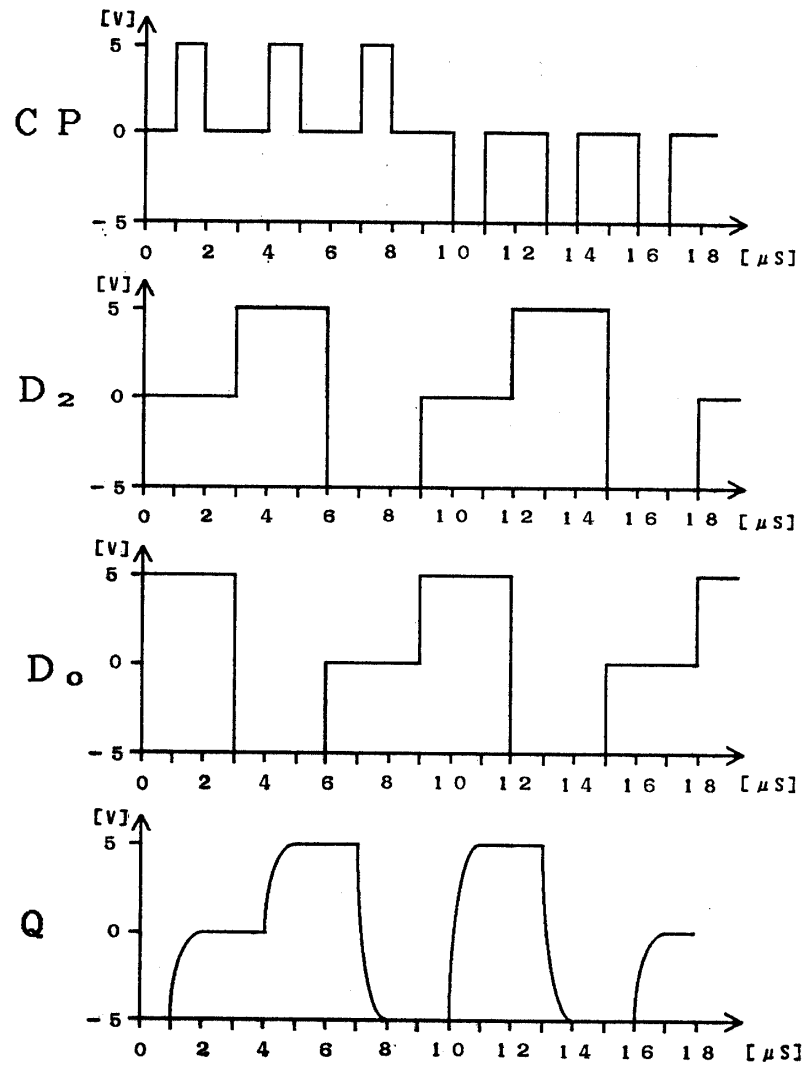


Fig. 3.10 Input-output voltage waveforms of SD-FF.

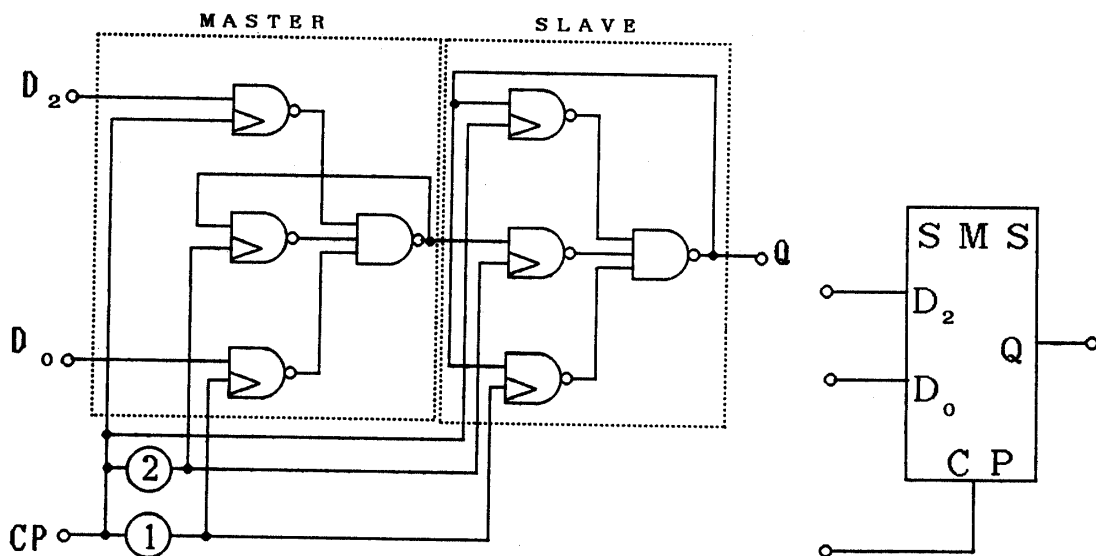


Fig. 3.11(a) A logical circuit of SMS-FF.

Fig. 3.11(b) A logical symbol of SMS-FF.

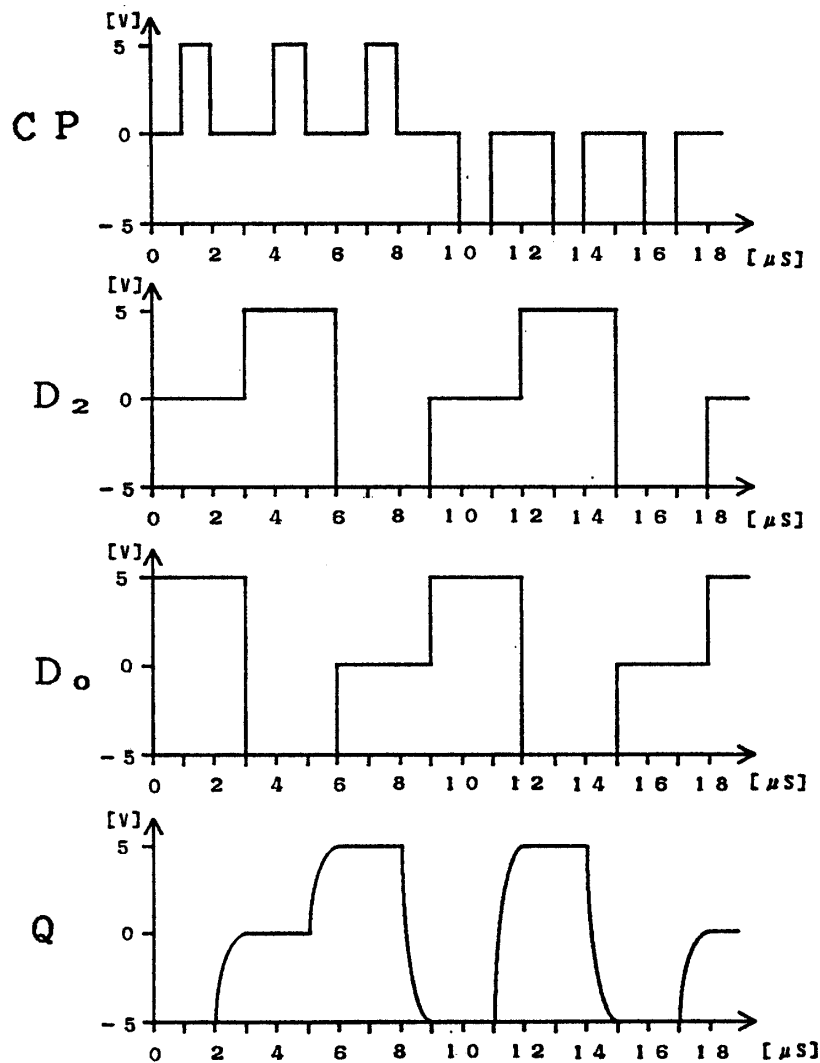


Fig. 3.12 Input-output voltage waveforms of SMS-FF.

Table 3.5 Function table of SMS-FF.

| CP | Q              |
|----|----------------|
| 2  | Q              |
| ↓  | D <sub>2</sub> |
| 1  | Q              |
| ↑  | D <sub>0</sub> |
| 0  | Q              |

0 = 0 level

1 = 1 level

2 = 2 level

Q = the level of Q

D<sub>0</sub> = the level of D<sub>0</sub>

D<sub>2</sub> = the level of D<sub>2</sub>

↓ = transition from 2 to 1

↑ = transition from 0 to 1

負の CP の時は入力端子 D<sub>0</sub> の値) を次の CP の立ち下がりがりまでの間、記憶することができる。SMS 形 FF 回

路の入出力特性のシミュレーション結果を Fig. 3.12 に示す。これより、3 値 SMS 形 FF 回路が期待した動作をしていることがわかる。

### 3.6 UDT (up-down T) 形 FF 回路

UDT 形 FF 回路の回路図を Fig. 3.13 に示す。UDT 形 FF 回路は、SMS 形 FF 回路と CYC1 ゲート及び CYC2 ゲートより構成される。UDT 形 FF 回路の機能表を Table 3.6 に示す。UDT 形 FF 回路は、正の CP の立ち下がりで出力の値が 1 加算された値に、負の CP の立ち下がりで出力の値が 1 減算された値に変化する 3 値 1 桁の加減计数器として働く。UDT 形 FF 回路の入出力特性のシミュレーション結果を Fig. 3.14 に示す。これより、UDT 形 FF 回路が期待した動作をしていることがわかる。

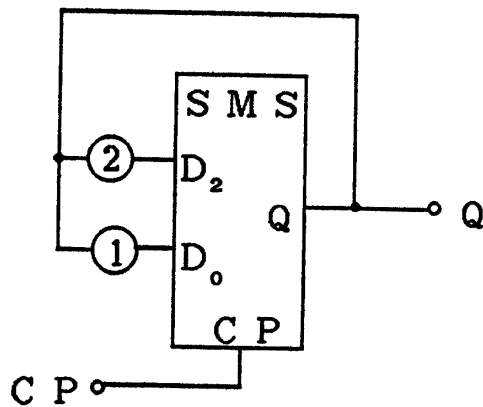


Fig. 3.13 A logical circuit of UDT-FF.

Table 3.6 Function table of UDT-FF.

| CP | Q              |
|----|----------------|
| 2  | Q              |
| ↓  | Q <sup>2</sup> |
| 1  | Q              |
| ↑  | Q <sup>1</sup> |
| 0  | Q              |

0=0 level

1=1 level

2=2 level

Q=the level of Q

Q<sup>2</sup>=the level of CYC (CYC(Q))

Q<sup>1</sup>=the level of CYC (Q)

↓=transition from 2 to 1

↑=transition from 0 to 1

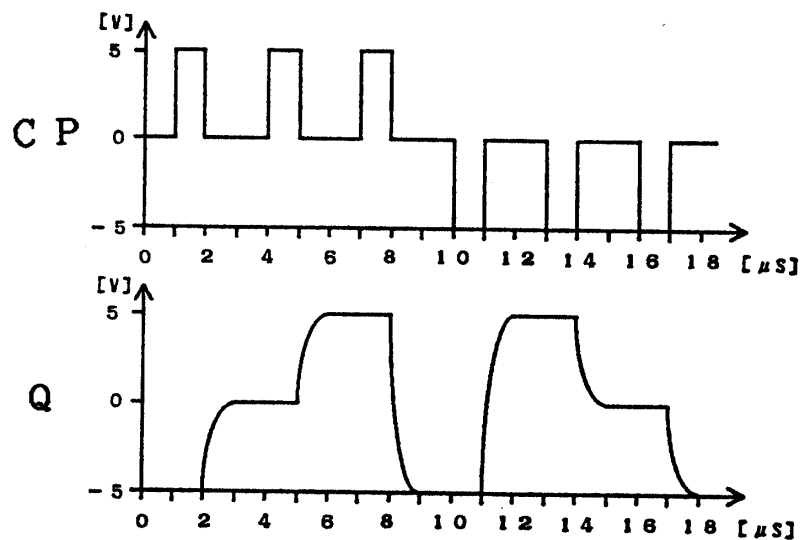


Fig. 3.14 Input-output waveforms of UDT-FF.

#### 4. 応用回路例

本章では、3値SMS形FF回路を用いた応用回路として3値シフトレジスタと3値リングカウンタを構成する。

##### 4.1 3値シフトレジスタ

3値シフトレジスタの回路図を Fig. 4.1 に示す。この回路は、次のような特徴をもっている。

- (1) 3値SMS形FF回路のみで構成でき、他のゲートを必要としない。
- (2) 並列データの読み込みと、データのシフトの選択をするためのコントロール信号を必要としない。

この回路は、負のCPの立ち下がりの時並列入力端子

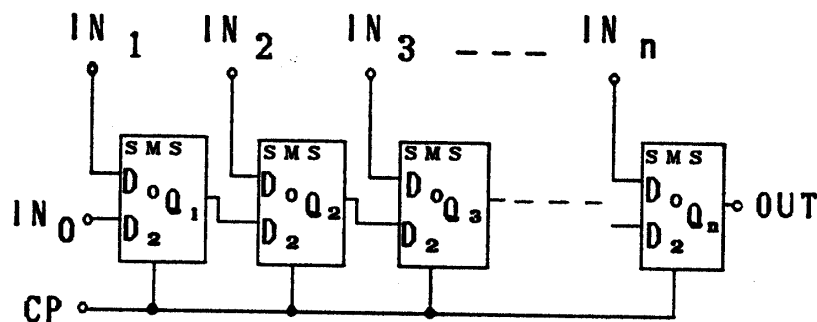


Fig. 4.1 A shift register using SMS-FF.

$IN_1 \sim IN_n$  の値を読み込み、正の CP の立ち下がりでデータのシフトを行う。シミュレーションによる 3 段のシフトレジスタの動作を Fig. 4.2 に示す。ただし、 $IN_0$  を 0,  $IN_1$  を 0,  $IN_2$  を 1,  $IN_3$  を 2 にした場合である。これより、3 段のシフトレジスタが期待した動作をしていることがわかる。

#### 4.2 3 値リングカウンタ

3 値リングカウンタの回路図を Fig. 4.3 に示す。この回路も前節と同様の特徴をもっている。この回路は、負の CP で並列データの読み込みを行う。正の CP により、リングカウンタとして働く。シミュレーションによる 3 段のリングカウンタの動作を Fig. 4.4 に示す。た

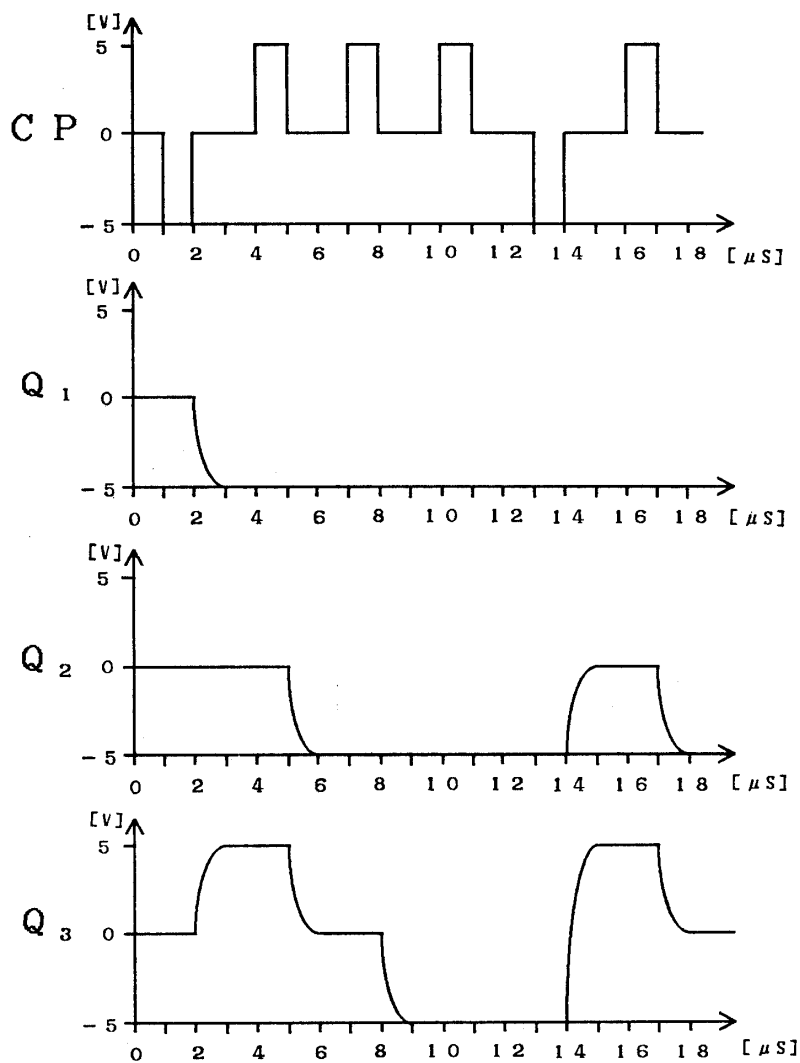


Fig. 4.2 Input-output waveforms of the shift register.

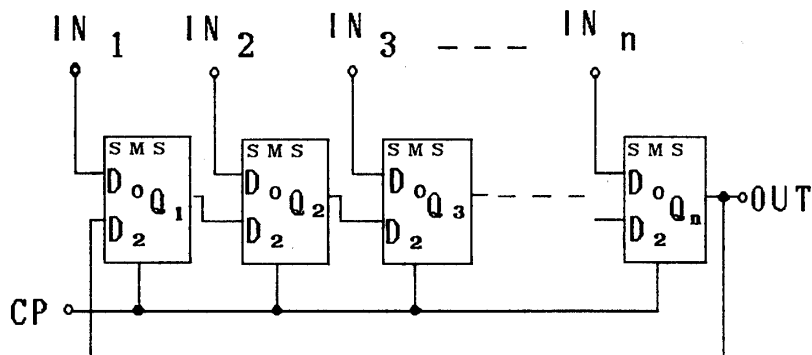


Fig. 4.3 A ring counter using SMS-FF.

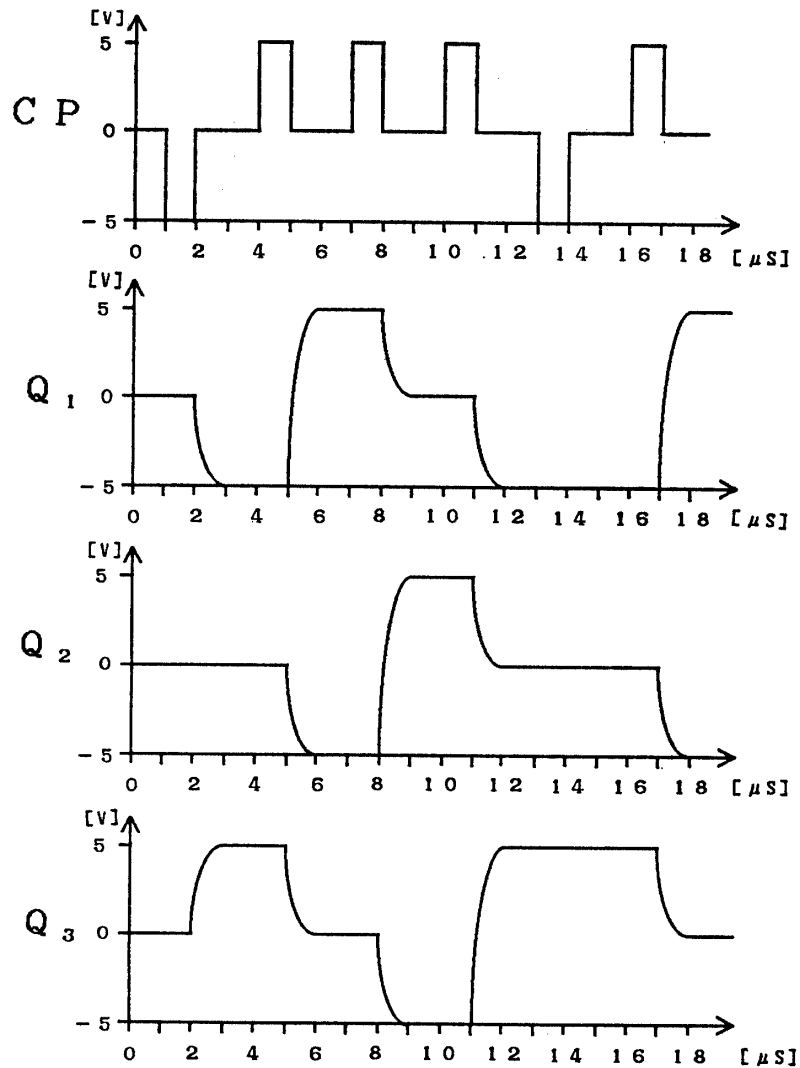


Fig. 4.4 Input-output waveforms of the ring counter.

だし、 $IN_1$  を 0,  $IN_2$  を 1,  $IN_3$  を 2 にした場合である。これより、3 段のリングカウンタが期待した動作をしていることがわかる。

## 5. 結 言

本論文では、NI ゲート, NAND ゲート, CYC ゲートの電子回路化の一方法を提案した。また、それらを用いて一般的 3 値 FF である 3 値 D 形 FF, 3 値 MS 形 FF, 3 値 T 形 FF を構成した。さらに、2 種類の CP を用いる新しい 3 値 FF である 3 値 SD 形 FF, 3 値 SMS 形 FF, 3 値 UDT 形 FF を構成した。しかし、本論文で提案したゲートは、回路図からも明らかなように定常状態において電流が流れる場合があり電力を消費する。2 値における CMOS 回路のように、定常状態において電流の流れない様な回路構成を現在検討している。

## 参考文献

- 1) 藤本, 佐藤, 小高: “多値論理関数の一構成”, 東海大学工学部紀要, 1(1988), p. 57-61.
- 2) 村中, 今西: “3 値 3 安定フリップフロップ回路の構成”, 信学論 D, J 67-D 3(1984), p. 249.
- 3) 牟田征一: “3 安定回路の構成法”, 信学論 D, J 61-D 4(1978), p. 214-221.
- 4) Mouftah H. T. and Jordan I. B.: “Design of ternary COS/MOS memory and sequential circuits”, IEEE Trans. Comput., C-26 12(1977), p. 1212-1221.

付 録

本論文における回路の動作確認は、回路解析プログラム SPICE 2 を用いた。シミュレーションの際に使用した MOSFET のパラメータを Table A に示す。

Table A MOSFET parameter.

| Name   | Parameter                   | Unit          | NMOS | PMOS |
|--------|-----------------------------|---------------|------|------|
| VTO    | zero-bias threshold voltage | V             | 2.5  | -2.5 |
| L      | channel length              | $\mu\text{m}$ | 10   | 10   |
| W      | channel width               | $\mu\text{m}$ | 50   | 50   |
| LAMBDA | channel-length modulation   | 1/V           | 0.02 | 0.02 |