

研究室紹介：LSI 及び実装基板における信頼性確保

土屋 秀和*

Introductory Article: Ensuring reliability for LSI and mounting board

by

Hidekazu TSUCHIYA*

(received Oct 31, 2024 & accepted Nov 5, 2024)

Abstract

Our laboratory is researching mainly focused on increasing the speed and reliability of testing during LSI shipment and developing a tester that focuses on memory devices using boundary scan. In this article, describe the research themes.

Keywords: LSI Testing, Boundary scan, Low power

1. はじめに

2017 年に日立オートモティブシステムズ株式会社（現：日立 Astemo 株式会社）在籍の会社員からコンピュータ応用工学科に着任し、現在 8 年目となる。私の研究室は、現在教員 1 名、大学院博士前期課程 2 名、学部生 25 名（3 年生 12 名、4 年生 13 名）の計 28 名で構成されている。研究内容としては、主に「LSI 出荷時におけるテストの高速化および信頼性向上」及び「バウンダリスキャンによるメモリデバイスに着目したテストの開発」に関して行っている。以下に研究テーマを紹介する。

2. LSI 出荷時におけるテストの高速化および信頼性向上¹⁾

現在、LSI はあらゆる電子機器に組み込まれ、必要不可欠な電子デバイスとなっている。これまで、LSI は製造技術の進歩により、回路の大規模化による高機能化や動作速度の高速化などの発展を遂げてきた。しかし、現在の製造技術においても全てを良品として製造することが困難となっている。そのため、製造時における選別テストが必須となっており、数千万円～数億円の高性能 LSI テスタを使用して、テスト品質を確保する為の実動作速度で長い時間テストを行わなくてはならない。また、回路の大規模化が進むにつれて、回路が複雑となり完全テストが困難になっており、故障検出効率が低下する事象が LSI メーカーの抱える問題の一つとなっている。さらに、テスト時は回路の構造上、同時に動作する回路規模が大きくなる傾向にあり、その結果消費電力が増加することで異常な発熱やエレクトロマイグレーションと呼ばれる金属原子の移動が活発となることから、故障する可能性がある。このような背景より、回路の動作を分割して制御可能な構成とし、さらに Gated Clock と呼ばれる同時に動作する回路規模を制御可能な技術を応用することで、テスト時の消費電力

を削減しつつ、実動作速度及びより短い時間で高い故障検出効率をはじめとしたテスト品質を確保しながらテスト可能な技術に関して研究を行っている。

テストを行う際には、テストパターンと呼ばれる評価対象の LSI に対する信号を印加する必要がある。印加する方法としては、LSI テスタのメモリに事前に格納し直接印加する場合や、LSI 内部に構成された BIST (built in self test) と呼ばれる自己診断回路内のメモリに格納し印加する場合や、BIST のテストパターン発生器により自動生成し印加する場合等が挙げられ、テストパターン発生器（以下 TPG）について研究を行っている。図 1 に示すような回路構成となっており、シフトレジスタ SR の分割数を k 、同時に動作する SR 数を g 、被テスト回路 CUT の入力数を m とする。TPG はメモリ MR とクロック制御部 CP と k 個に分割されクロック制御が適用されたシフトレジスタ SR により構成される。MR は k ビットのバス幅を持ち、ATPG (automatic test pattern generator) と呼ばれる被テスト対象の回路構成情報に基づくコンピュータシミュレーションより生成されるテストパターンである ATPG ベクトルの部分集合が格納され、格納されたデータがクロック制御に従って各 SR に分配される。CP の入力であるイネーブル信号(enable_1～enable_k)の組み合わせにより、SR 毎にクロック制御が行われ、CUT において分割した回路毎にクロック供給のタイミングを制御することで、消費電力を削減可能である。

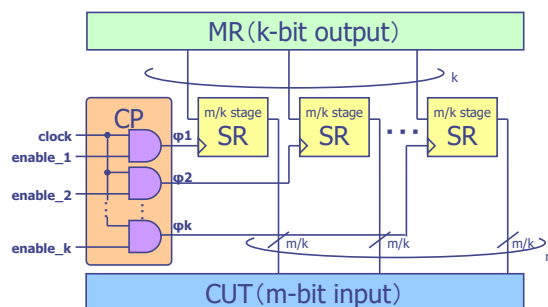


図 1 テストパターン発生器の回路構成

* 東海大学情報理工学部コンピュータ応用工学科

TPGにおいて、ランダムパターンで検出困難な故障であるrpr(random pattern resistant)故障の検出を疑似ランダムなテストパターンのみで試みた場合、膨大なテストパターンが必要となることや、検出できずに故障検出率の低下を招き出荷後の動作不良の発生率が高くなる可能性がある。そこで、本技術を適用したTPGではクロック制御が適用されたSRにより、周期的に出現する被テスト回路の回路構成を考慮し生成したATPGベクトルの部分集合を用いることで、rpr故障を検出する。また、rpr故障以外の故障はSRのシフト動作による疑似ランダムベクトルを使用して検出する。このように、rpr故障以外の故障検出には疑似ランダムベクトルを使用し、rpr故障検出にはATPGベクトルを使用することで、ATPGベクトルの全てをメモリに格納せず、その部分集合のみをメモリに格納するため、メモリに格納するATPGベクトル数の削減が可能である。これにより、LSIテストのメモリ増設が必要となる頻度を低減可能であり、コスト削減に寄与する。また、rpr故障をATPGベクトルで検出することで、故障検出に冗長なテストベクトルを削減可能となり、短いテスト長で高い故障検出率の達成が可能である。

高い故障検出効率を達成するテスト長、元となるベクトル数、平均電流について評価を行った。比較対象として、ATPG及びLFSR (Linear Feedback Shift Register) と呼ばれるシフトレジスタのビット列の一部を取り出し排他的論理和を取り、入力ビットとしてフィードバックすることで生成される疑似ランダムなテストパターンを、CUTにはISCAS'85ベンチマーク回路を用いた。また、SRの分割数及びGated Clockによる動作率と特性との関係性を評価した。評価した範囲では、ATPGと比較して、元となるベクトル数と平均電流を削減することが可能である。また、LFSRと比較して、テスト長と平均電流を削減することが可能である。今後は、更なるテストパターン及び消費電力削減及び様々な故障モデルへの拡張対応などを行っていききたい。

3. バウンダリスキャンによるメモリデバイスに着目したテストの開発²⁾

近年、電子デバイスを搭載したシステム全体の高機能化及び高性能化が進んでいる。高機能化は、回路実装技術の向上による基板の高密度化、高性能化は電子デバイスの動作周波数の向上等によって実現されている。この為、多数の電極を配置可能で且つ部品実装面積を削減可能なBGA (Ball Grid Array) が主流となりつつある。しかしながら、はんだ接合部が目視で確認できない為、テストやデバッグを実施する際に、端子へのコンタクトが困難になる懸念がある。この問題を解決可能な手法として、各所の信号を最低4本の信号線のみで観測可能なバウンダリスキャンが注目されつつあり活用されている。また、この技術を活用したテストが各社より販売されており、電子回路実装基板上における実装部品間の結線テストや、SRAMやDRAM等のメモリデバイスの結線テスト及びパターンテスト等が可能である。しかしながら、汎用的なテストパターンのみであったり、ユーザで固有のテストパターンを生成可能なものの、複雑なテストパターンの生成が難しい状況にある。また、今後自動車の自動運転技術が発展し、実装される電子回路実装基板にも更なる信頼性が求められ、

実装された状態での更なる信頼性確保も要求される可能性がある。そこで、メモリデバイスのテストパターン生成に着目し、複雑なテストパターンを生成可能なバウンダリスキャンテストの開発を行っている。

図2に示すようなシステム構成となっており、動作の流れとしては、先ずPC上のCOEファイルジェネレータを使用し、テスト対象のBSDLファイルからJTAG信号であるTCK, TMS, TDIの3bitパターンが記述されたCOEファイルを生成し、ARTY上のパターン発生機能部に格納する。また、テストパターン発生は、タクトスイッチとスライドスイッチの入力情報により、発生開始やアルゴリズムの選択を行い、パターン発生機能部よりJTAG信号として発生する。例えば、複雑なテストパターンの「X=Y」のパターンを発生させる場合は、スライドスイッチを「0001」に設定し、タクトスイッチBTN0を押下すると、図3に示すような「X=Y」のパターンが自動生成され、PC上で表示される。

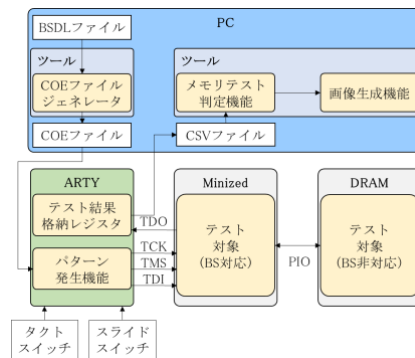


図2 バウンダリスキャンテストのシステム構成

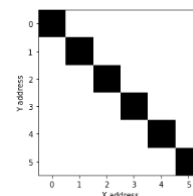


図3 「X=Y」のパターン

4. おわりに

本稿では、我々が取り組んでいる研究の一部を紹介した。今後もLSI及び実装基板における信頼性確保に関する研究を通じて、LSIの回路規模及び性能向上や、自動車の自動運転のレベル向上による信頼性の更なる要求等に対して応えられる様、縁の下の力持ちのような研究を遂行していきたい所存である。

参考文献

- 1) Hidekazu Tsuchiya, Testing method that adjustable for power dissipation and test data size during testing, IEEE 19th Workshop on RTL and High Level Testing, Hefei, China (2018).
- 2) 土屋秀和, 竹本健太, 浅川毅, メモリデバイスのテストパターン生成に着目したバウンダリスキャンテストの検討, 第37回エレクトロニクス実装学術講演大会講演論文集, pp.14-17 (2023).