東海大学紀要情報通信学部
Vol.15,No.2,2022,pp.7-10

レター

ニューロン電子回路による 高速ハミング距離検出回路の提案とチップ評価

西口 大嗣[*1]，福原 雅朗[*2]，矢原 充敏[*3]，藤本 邦昭[*4]

Proposal of a high-speed Hamming distance detector using electronic neuron circuit and chip evaluation

by

Daishi NISHIGUCHI[*1], Masaaki FUKUHARA[*2], Mitsutoshi YAHARA[*3] and Kuniaki FUJIMOTO[*4]

(received on Sep. 30, 2022 & accepted on Jan. 11, 2023)

あらまし

ハミング距離検出回路は，2 つの入力データ間のハミング距離が規定のハミング距離以内であるかどうかを検出する回路である．先に提案されたハミング距離検出回路はハミング距離を時間軸に変換する方式をとっていたため，ハミング距離が大きくなると検出時間が増加する問題を有していた．本研究では，回路要素としてニューロン電子回路を用いたハミング距離検出回路を提案している．提案回路はハミング距離を電圧軸に変換する方式をとっているため従来回路に比べ高速化が見込める．提案回路を HSPICE シミュレーションによって検証した後，実際のチップを製作しその動作を確認した．

Abstract

A Hamming distance detector finds whether the Hamming distance between two input data is within specified Hamming distance. The conventional proposed Hamming distance detector converts the Hamming distance to a time axis, which increases the detection time as the Hamming distance increases. In this study, we propose a Hamming distance detector using an electronic neuron circuit as circuit elements. The proposed detector is expected to be faster than the conventional one by converting the Hamming distance to a voltage axis. The proposed detector was verified by HSPICE simulation, and an actual chip was fabricated and verified the chip operation.

キーワード：ニューロン電子回路，ハミング距離，ニューロン MOS，ニューロン CMOS インバータ
Keywords: *Electronic Neuron Circuit, Hamming Distance, Neuron MOS, Neuron CMOS Inverter*

1. はじめに

近年，情報処理技術の発展に伴い，膨大なデータの中から入力したデータと類似したデータを高速に検索するあいまいさを含む柔軟な情報検索への需要が益々高まっている．この機能をソフトウェアで実現する場合，データを逐次呼び出し比較する必要があるため，データ数が多いと検索に膨大な時間を要する．そこで，膨大なデータを予めメモリに記憶しておき，そのメモリ内のデータの中から入力データと類似したデータを高速に検索することができるハードウェアである類似検索連想メモリの研究が行われる様になった．今日まで，数多くの類似検索連想メモリに関する研究成果が報告されている [1), 2), 3)]．本研究では，類似検索連想メモリの性能を向上させることが可能な，データの類似性を表す尺度としてハミング距離を用いたハミング距離検出回路の開発に挑む．

ハミング距離検出回路を実現する上で我々は柴田氏が発明したニューロン MOS(以下 νMOS と表記)，並びに νMOS を相補的に組み合わせたニューロン CMOS(以下 νCMOS と表記) [4)]に目をつけた．νMOS は通常の MOSFET のゲート端子部分に複数の入力を容量結合することによってゲート部分が電気的にフローティングとなったフローティングゲートを有するデバイスである．フローティングゲートの電位は入力端子に入力された電圧の重み付き線形和として与えられ，この電位が MOSFET の閾値電圧を超えるか否かによって νMOS のオン状態，オフ状態が決定される．

νMOS を活用したハミング距離検出回路が提案されている [5)]が，この νMOS を用いたハミング距離検索回路はフローティングゲートの初期電荷の影響や νMOS の閾値電圧変動の影響を受け，誤動作を起こすという問題があった．そこで，我々の研究グループは，フローティングゲートの初期電荷やインバータの閾値電圧変動の影響をキャンセルするフローティングゲートキャリブレーション(FGC)回路を用いたハミング距離検出回路を提案した [6)]．しかし，その回路はハミング距離を時間軸に変換して動作させる方式であるためハミング距離が大きくなると回路の動作速度が遅くなるという課題が残っている．

本論文では，上記の動作速度の問題を解決したハミング

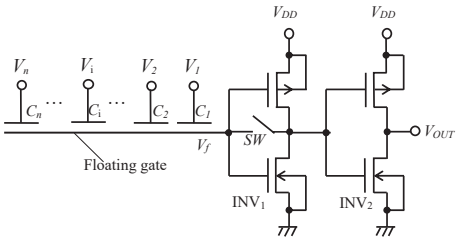
*1 情報通信学研究科情報通信学専攻 修士課程
Graduate School of Information and Telecommunication Engineering，Course of Information and Telecommunication Engineering，Master’s Program
*2 情報通信学研究科情報通信学専攻 准教授
Graduate School of Information and Telecommunication Engineering，Course of Information and Telecommunication Engineering，Associate Professor
*3 文理融合学部地域社会学科 教授
School of Humanities and Science， Department of Community and Social Studies，Professor
*4 文理融合学部人間情報工学科 教授
School of Humanities and Science，Department of Human Information Engineering School of Agriculture，Professor

距離検出回路を提案する. 本回路は FGC 機能によりフローティングゲートの初期電荷やインバータの閾値電圧変動の影響を受けず安定に動作させることが可能であり，ハミング距離を電圧に変換する方式をとっているため従来回路のハミング距離を時間軸に変換する方式に比べ高速にハミング距離を検出することができる．本研究では，提案回路を理論的に解析するとともに，理論通りの動作をすることを HSPICE シミュレーションにより検証した．さらに，実チップを用いた実験によりその動作を確認した.

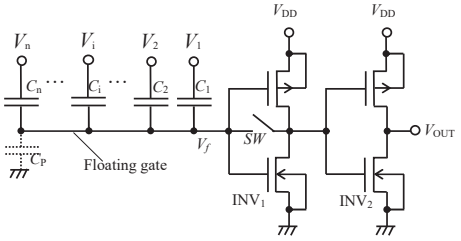
2. 回路構成と動作

2.1 FGC 付き νCMOS を用いたニューロン電子回路

提案するハミング検出回路には FGC 付き νCMOS を用いたニューロン電子回路を用いる．ニューロン電子回路はマカロックピッツのニューロンモデル [7]を電子回路で実現したものであり，入力を電圧，重みを容量で実現している．Fig.1(a)に回路図，Fig.1(b)にその等価回路を示す.



(a)The electronic neuron circuit using FGC



(b)The equivalent circuit of (a)

Fig. 1 The Electronic neuron circuit

Fig.1 において V_{DD} は電源電圧，V_1,V_2,…,V_n は入力端子の電圧，C_1,C_2,…,C_3 は入力端子とフローティングゲート間の容量，*SW* は閾電圧変動の影響をキャンセルするキャリブレーション用の CMOS アナログスイッチであり，制御端子 CAL の信号がハイレベルだった場合に ON 状態となり，ローレベルの場合は OFF 状態となる．回路構成を Fig.2 に示す.

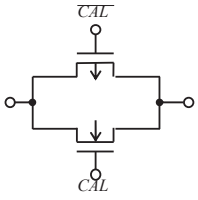


Fig. 2 CMOS analog switch

ここで，ニューロン電子回路の回路動作を説明する．まずキャリブレーションを行う．キャリブレーション時刻 t_0 で $V_1(t_0)$,$V_2(t_0)$,…,$V_n(t_0)$を任意の電圧に設定し *CAL* をローレベルにする．これより，フローティングゲートの電圧 V_F は

$$V_F(t_0) = V_{TH} \tag{1}$$

となる. ここで V_{TH} は CMOS インバータの閾値電圧である.

次に時刻 t_1 で *CAL* ハイレベルにし，入力電圧を $V_1(t)$,$V_2(t)$,…,$V_n(t)$ $(t > t_0)$に変動させる．このときのフローティングゲート電圧 $V_F(t)$は式(2)となる.

$$V_F(t) = V_{TH} + \frac{\sum_{i=1}^{n} C_i V_i(t)}{C_T} - \frac{\sum_{i=1}^{n} C_i V_i(t_0)}{C_T} \tag{2}$$

なお，C_T は寄生容量 C_P を含むフローティングゲートに接続された容量の総和であり式(3)で表される.

$$C_T = \sum_{i=1}^{n} C_i + C_P \tag{3}$$

FGC 付き νCMOS インバータの出力 V_{OUT} はフローティングゲートの電圧 V_F と CMOS インバータの閾電圧 V_{TH} によって決まり，

$$V_{OUT} = \begin{cases} 0 & \text{if} \quad V_F(t) < V_{TH} \\ V_{DD} & \text{if} \quad V_F(t) \geq V_{TH} \end{cases} \tag{4}$$

で表される．式(4)に式(2)を代入すると

$$V_{OUT} = \begin{cases} 0 & \text{if} \quad V_{TH} + \dfrac{\sum_{i=1}^{n} C_i V_i(t)}{C_T} - \dfrac{\sum_{i=1}^{n} C_i V_i(t_0)}{C_T} < V_{TH} \\ V_{DD} & \text{if} \quad V_{TH} + \dfrac{\sum_{i=1}^{n} C_i V_i(t)}{C_T} - \dfrac{\sum_{i=1}^{n} C_i V_i(t_0)}{C_T} \geq V_{TH} \end{cases}$$

$$V_{OUT} = \begin{cases} 0 & \text{if} \quad \sum_{i=1}^{n} C_i V_i(t) < \theta \\ V_{DD} & \text{if} \quad \sum_{i=1}^{n} C_i V_i(t) \geq \theta \end{cases} \tag{5}$$

となる．ここで θ は

$$\sum_{i=1}^{n} C_i V_i(t_0) = \theta \tag{6}$$

である．したがって，ニューロン電子回路は CMOS インバータの閾電圧およびゲート容量 C_T の影響を受けず, 入力を電圧，重みを容量で実現したニューロン電子回路として動作する.

2.2 ニューロン電子回路を用いたハミング距離検出回路

Fig.3 は提案するニューロン電子回路を用いたハミング距離検出回路の回路図である．回路は NAND ゲート回路，AND ゲート回路，ニューロン電子回路で構成されている．*C* はすべて同一の容量であり，C_0 はその半分の容量としている．*CAL* はキャリブレーション信号の入力端子であり，ローレベルにすることでキャリブレーション動作を行う．入力 X_1,X_2,…,X_n には Fig.4 に示すハミング距離出力回路の出力が入力されることを想定している．ハミング距離出力回路は bit 数が等しい DATA-A と DATA-B の各ビットの排他的論理和を出力している．したがって，X_1,X_2,…,X_n のうち DATA-A と DATA-B 間のハミング距離 D_H 個がハイレベル *n*-D_H 個がローレベルとなる．REF_1,REF_2,…,REF_n は参照

距離を設定するためのディジタル入力である．参照距離は検出するハミング距離の値をいくつまで許容するか決定するものであり D_{HR} で表す．参照距離の設定方法は REF_1,REF_2,…,REF_n のうち D_{HR} 個をハイレベル，n-D_{HR} 個をローレベルにする．

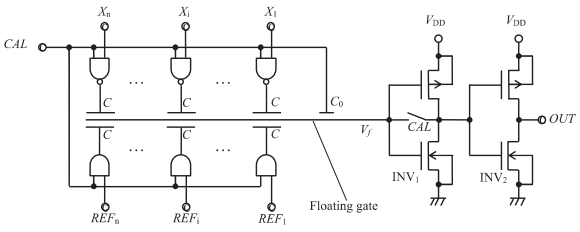


Fig. 3 The proposed hamming distance detection circuit

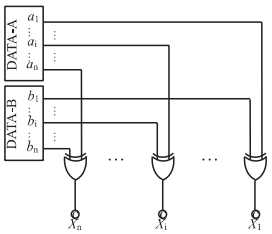


Fig.4 The Hamming distance output circuit

時刻 t_0 において，X_1,X_2,…,X_n にハミング距離出力回路の出力が入力されている状態で，D_{HR} を任意の値に設定し，CAL をローレベルにすることでキャリブレーションを行う．このとき，NAND ゲートの出力はすべてハイレベル，AND ゲート回路の出力は全てローレベルとなる．このとき，θ は

$$\theta = n + \frac{1}{2} \tag{7}$$

となる．キャリブレーション後，CAL をハイレベルにすると D_H 個の NAND ゲートの出力がハイレベルからローレベルに変化し，D_{HR} 個の AND ゲートの出力がローレベルからハイレベルに変化する．これより，式(5)(7)より出力論理値 OUT は，

$$\mathrm{OUT} = \begin{cases} 0 & \text{if} \quad (n - D_H) + D_{HR} < n + \dfrac{1}{2} \\ 1 & \text{if} \quad (n - D_H) + D_{HR} \geq n + \dfrac{1}{2} \end{cases} \tag{8}$$

となる．ここで D_H と D_{HR} は整数であるため

$$\therefore \mathrm{OUT} = \begin{cases} 0 & \text{if} \quad D_{HR} < D_H \\ 1 & \text{if} \quad D_{HR} \geq D_H \end{cases} \tag{9}$$

と表すことができ，D_H と D_{HR} が等しい場合においても安定してハイレベルを出力することが可能である．したがって提案回路は bit 数が等しい 2 つのデータ間のハミング距離が参照距離以内であるかを検出できるハミング距離検出回路として動作する．

3. シミュレーション結果

提案するハミング距離検出回路において，データの bit 数を 4 にして HSPICE シミュレーションを行った．シミュレーションにはローム株式会社の 0.18μm CMOS プロセスの SPICE パラメータを用い，電源電圧 V_{DD} を 1.8V，CMOS インバータの閾電圧 V_{TH} を V_{DD} の半分の電圧 0.9V になるように設計した．

Fig.5 はハミング距離 D_H と参照距 D_{HR} の関係におけるフローティングゲート V_F のシミュレーション結果である．t_0 はキャリブレーションした時点，t_1 は CAL をハイレベルにした時点，t_2 はフローティングゲート電圧 V_F が安定した時点を表している．フローティングゲート電圧 V_F は時点 t_0 でインバータの閾電圧 V_{TH} と等しくなり，時点 t_1 でハミング距離 D_H と参照距離 D_{HR} の関係によって V_{TH} を上回るもしくは下回る．

Fig.6 は V_F の出力が安定した時点 t_2 での D_{HR} と D_H の差と V_F の関係である．図よりフローティングゲート電圧 V_F は式(2)を満足し，D_{HR} と D_H の差の 1 次関数で表される．

先に提案されたハミング距離検出回路 [6]がハミング距離を時間に変換する方式をとっていたのに対し，本回路はハミング距離を電圧に変換する方式をとっているためハミング距離の大きさが回路の動作時間に影響しない．

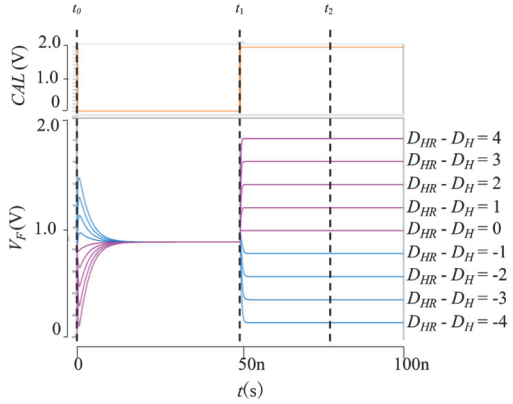


Fig.5 Simulated waveforms of V_F

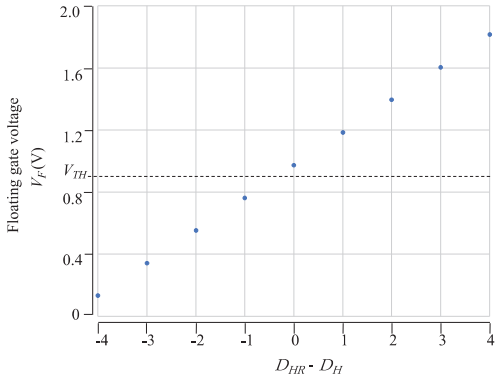


Fig.6 Relationship between D_{HR}-D_H and V_F at t_2

4. 実験結果

提案するハミング距離検出回路において，データの bit 数を 4 とした場合の回路を，ローム株式会社 0.18μm CMOS プロセスを用いて集積化し，実チップを用いた実験によってその動作を確認した．Fig.7 はそのレイアウト図である．実験にはシミュレーションと同様に電源電圧 V_{DD} を 1.8V

を印加した．キャリブレーション時間は実チップにおける寄生素子の影響を考慮し，安定して動作させるためにシミュレーション時の 10 倍の 500ns に設定した．

Fig.8 は D_{HR}-D_H=0 の場合における提案回路の動作波形である．キャリブレーション後，*CAL* がハイレベルになると出力 *OUT* がハイレベルとなる．同様に D_{HR}-D_H を 1，2，3，4 と変更した場合においても同様の結果が得られた．Fig.9 は D_{HR}-D_H=-1 の場合における提案回路の動作波形であり，キャリブレーション後，*CAL* がハイレベルになると出力 *OUT* がローレベルとなる．同様に D_{HR}-D_H を-2，-3，-4 と変更した場合においても同様の結果が得られた．これより提案回路は式(9)を満たすハミング距離検出回路として動作することがわかる．

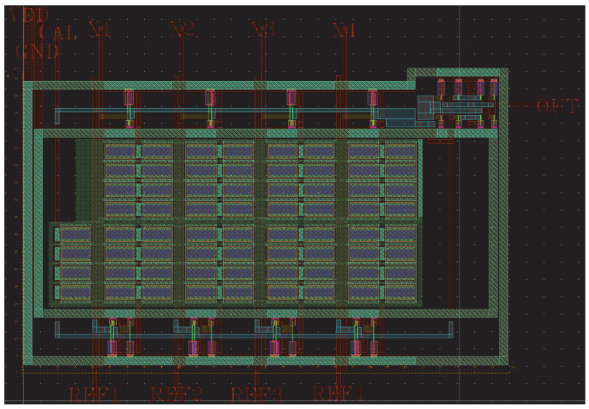


Fig.7 Layout of proposed Hamming distance detector

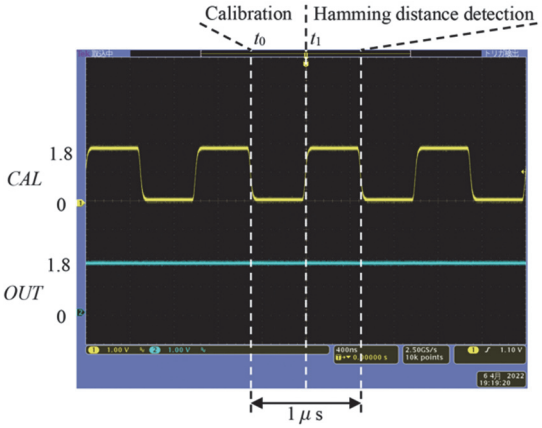


Fig.8 Experimental results on actual chip (D_{HR}-D_H=0)

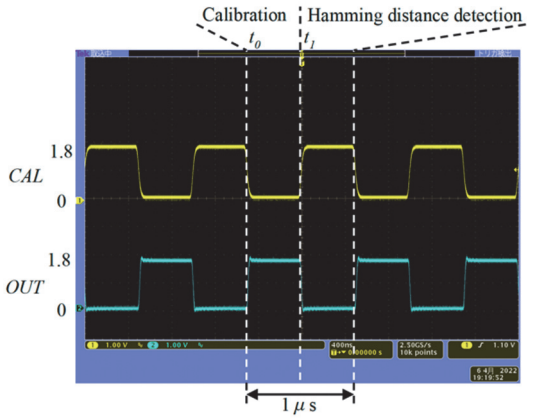


Fig.9 Experimental results on actual chip (D_{HR}-D_H=-1)

5. まとめ

本論文では，ニューロン電子回路を用いたハミング距離検出回路を提案した．提案回路に用いたニューロン電子回路は FGC 用のスイッチを用いておりフローティングゲートの初期電荷と CMOS インバータの閾電圧変動の影響をキャンセルすることが可能であり，安定に動作させることができるという特徴を有している．

提案回路において，所望の動作が得られることを HSPICE シミュレーションと実チップを用いた実験により確認した．今回は回路を安定動作させるために静電容量 *C* を大きく設定したが，結果として回路面積が大きくなった．今後は回路の寄生素子の影響を明確にし，静電容量を小さくすることで回路面積を小さくできるようなチップ設計を行うつもりである．また，提案回路を実際に類似検索連想メモリに応用したい．

謝辞

本チップ試作は東京大学大規模集積システム設計教育研究センター(VDEC)を通し，ローム(株)，シノプシス(株)，日本ケイデンス(株)，メンター(株)の協力で行われたものである．また，本研究は JSPS 科研費 JP22K04223 の助成を受けたものである．

参考文献

1) 小池哲士，最小距離探索連想メモリ LSI アーキテクチャ開発とその集積化，丸文財団ホームページ (2004)
2) P.B. Watta, M. Akkal, and M.H. Hassoun, International Conference on Neural Networks, Vol.2, pp.1188-1193 (1997)
3) Y. Oike, M. Ikeda, and K. Asada, IEEE Custom Integrated Circuits Conference, pp.643-646 (2003)
4) T. Shibata and T. Ohmi, IEEE Trans. Electron Devices, Vol.39, No.6, pp.1444-1455 (1992)
5) 福原雅朗，鈴木八十二，吉田正廣，電子情報通信学会論文誌 C, Vol. C-86, No. 2, pp. 202-203 (2003)
6) 原田 裕二郎，藤本 邦昭，福原 雅朗，吉田 正廣，電気学会論文誌. C 136(1) 36-42 (2016)
7) W. S. McCulloch and W. Pitts, Bulletin of Mathematical Biophysics, Vol. 5, pp. 115-133 (1943)