

ハミング距離検索機能付き CAROM の構成とその照合特性

呂 氷^{*1}, 小林 貴裕^{*1}, 吉田 正廣^{*2}

Configuration of a CAROM with Hamming Distance Search Functions and Its Interrogation Characteristics

by

Hyou Ro^{*1}, Takahiro Kobayashi^{*1} and Masahiro Yoshida^{*2}

(received on Sep.30, 2008 & accepted on Dec.17,2008)

Abstract

Content addressable memory (CAM) provides a fast data search function. It compares a search data with all stored data in parallel and then returns the address at which the matching data is found. CAM is used in a wide range of applications such as hardware data base accelerators, cache tag tables and packet switching in communication networks. The flexibility of CAM can greatly be extended through the use of trits (ternary digits). In this paper, we propose a ternary CAROM (Content Addressable ROM) composed of neuron MOS Hamming distance detectors. The CAROM can compare stored data and a search data in parallel, and find stored data with Hamming distance within a certain range ("near match"). The interrogation characteristics of the CAROM are also analyzed in detail. Furthermore, the results obtained from these analysis are fully confirmed by simulation using the circuit analysis program HSPICE.

Keywords: Hamming distance, content addressable memory, CAROM, interrogation characteristics

1. まえがき

関係検索やパターンマッチングなどに代表される連想処理に適したメモリとして内容照合メモリ (Content Addressable Memory: CAM) がある。このCAMは通常のRAM (Random Access Memory) が持つ機能に加えて、検索データと記憶データを並列に照合し、それらの間に一定の関係がある記憶データを非常に速く、効率的に検索できる特徴を有している。このためCAMはデータ圧縮、画像処理、ネットワーク管理などの分野に応用されている^{1) - 3)}。

近年、情報処理技術の高度化と多様化に伴い、柔軟性に富んだ情報検索機能を有するCAMへの要求が高まりつつある。その要求に応えるものとしてハミング距離検索機能付きCAMが提案され、このCAMはパターン認証やネットワーク管理などの曖昧さを含む情報検索を必要とするシステムの構成要素として有用であると考えられている^{4) - 5)}。

このようなことから、福原らはニューロンMOSインバータ (v-MOSインバータと略称する) を用いたハミング距離検索機能付きCAMを提案し、その設計条件と動作特性を明らかにしている^{6) - 8)}。しかし、このCAMの場合には記憶部にSRAM (Static Random Access Memory) セルを用いているため、素子数や配線数の関係で大容量のCAMを実現し難い問題がある。大容量のCAMを実現する一方法は記憶部にマスクROM (Mask-Programmable Read Only Memory) の技術を用いることである。マスクROMの技術を用いてCAMを構成すると、情報の書込みはデバイス製造時に行うので、応用範囲は限定されるが、SRAMセルを用いた場合よりも回路構成が極めて単純になり、大容量のCAMが実現できる。

このようなマスクROMの技術を用いたCAMは、例えば辞書検索システムに応用すると有用であると考えられる。以上のことから、本文ではマスクROMの技術を用い、ハミング距離検索が可能なLSI化に適した内容照合機能付きROM (Content Addressable ROM : CAROMと略称する) を提案する。このCAROMは“0”, “1”, “x” (xは“don't care”を表す) という3つの状態が記憶できる特徴を有している。さらに、提案CAROMの照合特性について詳細に解析して検討すると共に、HSPICEを用いたシミュレーションにより提案CAROMが理論通りの動作をすることを実証する。なお、本CAROMの記憶データを読み出す動作は一般のROMの場合と同じである。

2. 提案 CAROM の回路構成

本文で提案するCAROMの回路構成をFig.1 に示す。本CAROMはCAROMセルアレイ部、参照距離設定部、比較判定部から構成されている。文献8) で福原らが提案したSRAMセルを用いたハミング距離検索機能付きCAMセルの場合には、1セル当たり10個のMOSトランジスタを必要とする。これに対して、1ビットの情報を記憶するFig.1のCAROMセルは1個のMOSトランジスタ (M_R) で構成されている。したがって、大容量のCAMを実現する上では文献8) で提案されたCAMよりも本CAROMの方が優れていることが分かる。なお、Fig.1のCAROMセルアレイ部の中で各記号の下付き添え字 $i(i=1, 2, \dots, m)$ はビット数、 $j(j=1, 2, \dots, n)$ はワード数を表し、 WL_j はワード選択線、 B_i 、 $\bar{B}_i$ はビット選択線であり、 G_{ij} の点には検索データと記憶データ間のEXOR出力が得られ、その出力はv-MOSインバータのゲートに印加される。Fig.1のCAROMセル部のみを抽出したものをFig.2に示す。

本CAROMセルでは節点 t_0 , t_1 , t_x の接続状態によって1

*1 工学研究科情報通信制御システム工学専攻

*2 情報通信学部組込みソフトウェア工学科教授

ビットの記憶データ S_{ij} (2進数の“0”と“1”の値を取る)

のビットを“x”状態にしておくと、検索データの当該

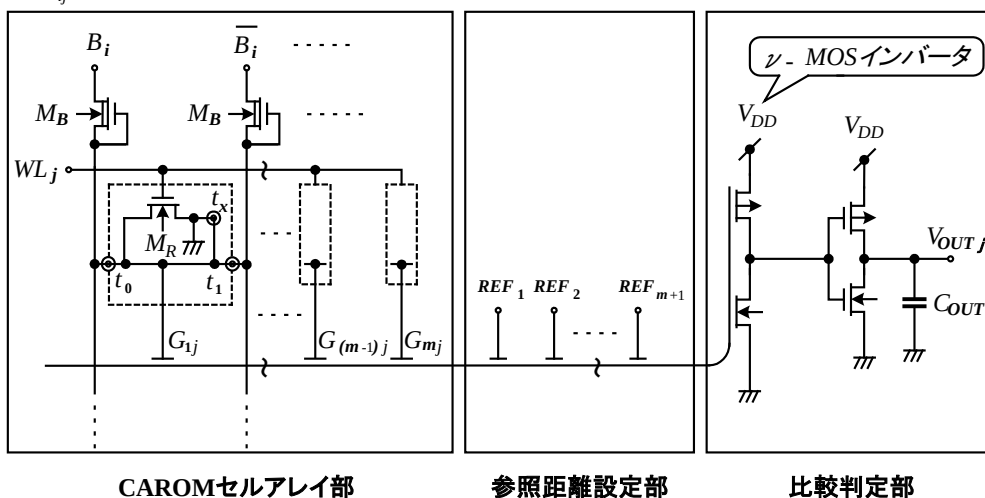


Fig.1 Proposed CAROM with Hamming distance search functions.

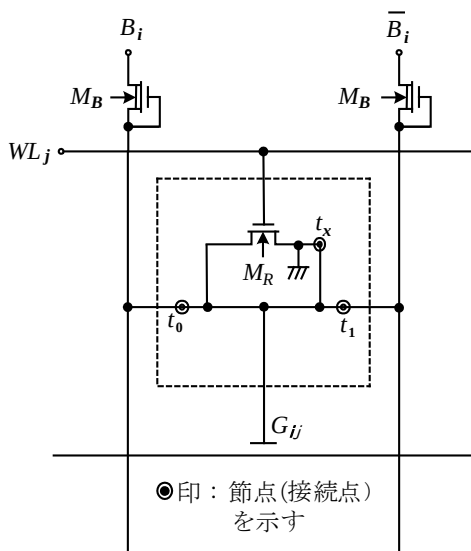


Fig.2 CAROM cell.

Table 1 Definition of stored data.

記憶データ S_{ij} \ 節点	t_0	t_1	t_x
“0”	○	—	—
“1”	—	○	—
“x”	—	—	○

○：接続 ー：接続しない

をTable 1のように定義する．すなわち，本CAROMセルでは“0”を記憶する場合には M_R の t_0 点を接続し， t_1 と t_x 点は接続しない．“1”を記憶する場合には t_1 点を接続し， t_0 と t_x 点は接続しない．“x”を記憶する場合には t_x 点を接続し， t_0 と t_1 点は接続しないことによって 3 つの状態が記憶できる．なお，“x”状態は照合の際に 1 ワードの中の特定のビットを検索対象から除外するのに用いる．すなわち，特定

Table 2 Definition of search data.

検索データ R_i ビット線	B_i [V]	$\overline{B_i}$ [V]
“0”	0	V_{DD}
“1”	V_{DD}	0
“mask” (RESET)	0	0
未使用	V_{DD}	V_{DD}

ビットが“0”であっても“1”であっても照合動作の際に検索データと記憶データが一致を示すことになる。

Fig.1 の参照距離設定部は，照合動作の際に目的に応じて検索ハミング距離を設定するためのものである．検索ハミング距離の設定はFig.1 の $REF_1, REF_2, \dots, REF_{m+1}$ に設定距離に応じて $0[V]$ または $V_{DD}[V]$ を印加する．

比較判定部は検索データと記憶データを比較し、それらの間のハミング距離が検索ハミング距離よりも大きいのか、小さいかを判定する回路である。

3. 照合特性

照合を行う際には、全てのワード線 WL_j に 0[V] を印加する。さらに、目的に応じて外部から入力する検索データ R (2進数の“0”と“1”の値を取る) に対応してビット線 B_i 及びビット線 $\bar{B}_i$ に Table 2 に定めるような電圧を印加する。すなわち、検索データの i 番目のビットを“0”として照合を行う場合には、ビット線 B_i に 0[V] を印加し、 $\bar{B}_i$ に V_{DD} [V] を印加する。一方、“1”を照合するにはビット線 B_i に V_{DD} [V] を印加し、 $\bar{B}_i$ に 0[V] を印加する。なお、Table 2 中の“mask”とは CAROM アレイに記憶されている記憶データの特定のビットを検索対象から除外することである。

また、提案CAROMにおいてリセット動作(RESET)を実行する期間では、Table 2 に示すように全てのビット線の電圧を 0[V]にする．検索データ R_i に対応した電圧がビット線に印加されると、検索データ R_i とCAROMセルの記憶データ S_{ji} との関係に応じて、Fig.1 中のノード G_{ji} の電圧 V_{ji} は

Table 3 のようになる．すなわち，CAROMセルが“0”を
Table 3 Voltage at node G_{ij} .

記憶データ S_{ij} と 検索データ R_i の関係	ノード G_{ij} の 電圧 V_{ij} [V]
一致	0
不一致	V_{DD}
“mask”	0

記憶している場合にはFig.2 中の t_0 のみが接続されているため，このような状態で検索データとして“0”を入力すると B_i には0[V]， $\bar{B}_i$ には V_{DD} [V]が印加されるのでノード G_{ij} の電圧 V_{ij} は0[V]になる．一方，このような記憶状態で検索データとして“1”を入力すると B_i には V_{DD} [V]， $\bar{B}_i$ には0[V]が印加されるのでノード G_{ij} の電圧 V_{ij} は V_{DD} [V]になる．このように，検索データとCAROMセル内に記憶されているデータが一致した場合にはノード G_{ij} の電圧 V_{ij} は0[V]になり，不一致の場合には V_{DD} [V]となる．したがって， j ワード， i ビット目のCAROMにおけるノード G_{ij} の電圧 V_{ij} は次式で与えられる．

$$V_{ij} = (S_{ij} \oplus R_i)V_{DD} \quad (1)$$

$$(i = 1, 2, \dots, m, \quad j = 1, 2, \dots, n)$$

また，特定のビットにマスクをかける場合には，ビット線 B_i とビット線 $\bar{B}_i$ の両方の電圧が0[V]になるので，CAROMセルの記憶データによらずノード G_{ij} の電圧 V_{ij} は0[V]になる．さらに，リセット動作のときにはビット線 B_i とビット線 $\bar{B}_i$ が共に0[V]になるので，CAROMセルに記憶されているデータが“0”であっても“1”であっても，ノード G_{ij} の電圧 V_{ij} は0[V]になる．ここで， j ワード目の記憶データ S_{ij} と検索データ R_i 間のハミング距離 D_{HLj} は次式で与えられる．

$$D_{HLj} = \sum_{i=1}^m (S_{ij} \oplus R_i), \quad (j = 1, 2, \dots, n) \quad (2)$$

したがって，式(1)と式(2)より次式が得られる．

$$\sum_{i=1}^m V_{ij} = D_{HLj} V_{DD}, \quad (j = 1, 2, \dots, n) \quad (3)$$

次に，Fig.1における提案CAROMの参照距離設定部について述べる．参照距離とは，記憶データと検索データ間の検索ハミング距離の値をいくつにするかを定めるためのもので，参照距離設定信号によってその値を設定する．例えば，参照距離を4とすると，記憶データと検索データを照合した結果，それらの間のハミング距離が4以下の全ての記憶データを完全並列に読み出すことができる．参照距離（検索ハミング距離）をある値，すなわち D_{HR} （ D_{HR} は0から m までの整数値をとる）に設定する場合には，表4に示されているように， $m+1$ 個の参照距離設定信号 REF_1 ， REF_2 ， $\dots$ ， REF_{m+1} のうち D_{HR} 個を0[V]に， $m+1-D_{HR}$ 個

を V_{DD} [V]にする．したがって，次式が得られる．

Table 4 Reference distance.

参照距離設定信号 参照距離 D_{HR}	REF_1 [V]	REF_2 [V]		REF_{m+1} [V]
“0”	V_{DD}	V_{DD}		V_{DD}
“1”	0	V_{DD}		V_{DD}
“2”	0	0		V_{DD}
$\vdots$	$\vdots$	$\vdots$		$\vdots$
“ m ”	0	0		V_{DD}

$$\sum_{k=1}^{m+1} REF_k = (m+1-D_{HR})V_{DD} \quad (4)$$

Fig.1 中の比較判定部は， $2m+1$ 個の入力ゲートを持つv-MOSインバータと通常のCMOSインバータを縦続接続した回路構成になっている．v-MOSインバータのフローティングゲートと $(2m+1)$ 個の入力ゲートの間にはそれぞれコンデンサがあるが，これらの容量値は全て等しく設計する． j ワード目のv-MOSインバータにおいて， m 個のゲートはCAROMセルアレイから1ワード分の電圧 V_{1j} ， V_{2j} ， $\dots$ ， V_{mj} を受け取り，残る $(m+1)$ 個のゲートは参照距離設定信号 REF_1 ， REF_2 ， $\dots$ ， REF_{m+1} を受け取る．そして，これらの信号の重み付き線形和 Φ'_{Fj} がv-MOSインバータのフローティングゲート上で計算される． Φ'_{Fj} は次式で与えられる⁹⁾．

$$\Phi'_{Fj} = \frac{\gamma}{2m+1} \left(\sum_{i=1}^m V_{ij} + \sum_{k=1}^{m+1} REF_k \right) \quad (5)$$

$$(j = 1, 2, \dots, n)$$

なお，式(5)中の γ はv-MOSインバータのフローティングゲート利得係数と呼ばれる設計パラメータである⁹⁾．したがって，式(5)に式(3)と式(4)を代入することによって次式が得られる．

$$\Phi'_{Fj} = \frac{m+1+D_{HLj}-D_{HR}}{2m+1} \gamma V_{DD} \quad (6)$$

$$(j = 1, 2, \dots, n)$$

CMOSインバータの出力電圧 V_{OUTj} は，この Φ'_{Fj} と入力ゲートから見たv-MOSインバータの反転しきい電圧 V_{INV}^n との大小関係によって決まる．v-MOSインバータのノイズマージンを十分に大きくするため， V_{INV}^n の値は Φ'_{Fj} の最小値0[V]と最大値 γV_{DD} の間になるように定める．すなわち， V_{INV}^n の値を次式のように設計する．

Table 5 Relationships of $D_{HLj}, D_{HR}, \phi'_{Fj}, V_{INV}^{in}$ and V_{OUTj} .

D_{HLj} と D_{HR} の関係	ϕ'_{Fj} と V_{INV}^{in} の関係	V_{OUTj} [V]
$D_{HLj} \geq D_{HR}$	$\phi'_{Fj} > V_{INV}^{in}$	V_{DD}
$D_{HLj} < D_{HR}$	$\phi'_{Fj} < V_{INV}^{in}$	0

Table 6 Simulation conditions and device parameters.

名称	記号	値	単位
電源電圧	V_{DD}	3.3	V
ビット長	i	8	ビット
ワード数	j	3	ワード
MOS トランジスタ			
n-MOS			
チャネル長	L_n	0.4	μm
チャネル幅	W_n	2	μm
p-MOS			
チャネル長	L_p	0.4	μm
チャネル幅	W_p	4.5	μm

$$V_{INV}^{in} = \frac{\gamma V_{DD}}{2} \quad (7)$$

Table 5 は, j ワード目の記憶データと検索データ間のハミング距離 D_{HLj} , 参照距離 D_{HR} , v-MOS インバータのフローティングゲート上で計算される各入力信号電圧の重み付き線形和 ϕ'_{Fj} , v-MOS インバータの反転しきい電圧 V_{INV}^{in} の大小関係と, これに対する出力電圧 V_{OUTj} の値をまとめたものである. すなわち, ハミング距離 D_{HLj} が参照距離 D_{HR} に等しいかそれ以上の場合には式 (6) と式 (7) より, 重み付き線形和 ϕ'_{Fj} が反転しきい電圧 V_{INV}^{in} よりも高くなるので, 出力電圧 V_{OUTj} は V_{DD} [V]になる. 一方, D_{HLj} が D_{HR} よりも小さい場合には, ϕ'_{Fj} が V_{INV}^{in} よりも低くなるので V_{OUTj} は 0[V]になる. したがって, この V_{OUTj} を検出することによって j ワード目の記憶データと検索データ間のハミング距離が予め設定した参照距離以内であるか, あるいはそれよりも大きいかわかることができる.

Fig.3 は, 1 ワードのビット数 $m=8$, 参照距離 $D_{HR} = 4$ としたときの照合動作のHSPICEによるシミュレーション波形である. シミュレーションは 2 層ポリシリコン, $0.35\mu\text{m}$ CMOSプロセスのデバイスパラメータを用いて実行した. MOSトランジスタのチャネル長やチャネル幅などはTable 6 に示す通りである. Fig.3(a)は検索データ R_i に対応して印加されるビット線 B_i とビット線 $\bar{B}_i$ 及び参照距離設定信号 $REF_k(k=1, 2, \dots, 9)$ の時間 t [ns]に対する波形を示している. Fig.3(b), (c), (d)はそれぞれ $D_{HL1} = 0$, $D_{HL2} = 4$ 及び $D_{HL3} = 8$ の場合の出力電圧 V_{OUT1} , V_{OUT2} 及び V_{OUT3} の波形である. Fig.3(b)の場合には, $D_{HL1} < D_{HR}$ のため出力電圧は 0[V]である. Fig.3(c), (d)の場合には, いずれも $D_{HL2} \geq D_{HR}$,

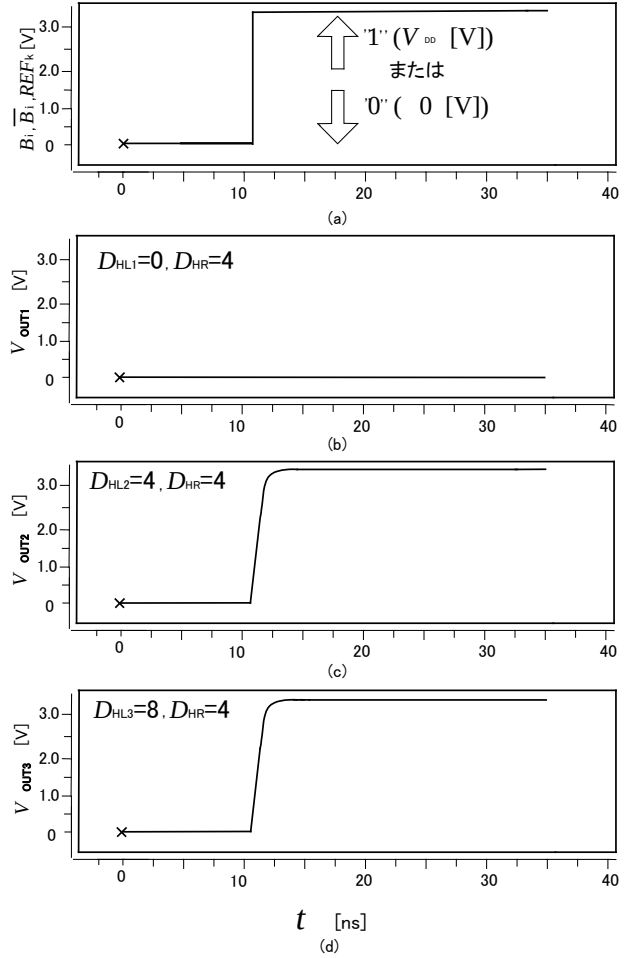


Fig.3 Simulated waveforms.

$D_{HL3} \geq D_{HR}$ のため出力電圧は V_{DD} [V]に向かって上昇している. また, Fig.3(c), (d)より, 照合動作時間 (出力電圧が V_{DD} [V]になるまでの時間) は約 2[ns]である. これらのシミュレーション結果より, 提案CAROMが理論通りの動作をしていることが分かる.

4. まとめ

本文ではハミング距離検索機能付き 3 値 CAROM の構成法を提案した. また, 提案 CAROM の照合特性について詳細な理論解析を行い, その特性を明らかにした. さらに, $0.35\mu\text{m}$ の 2 層ポリシリコン CMOS プロセスのデバイスパラメータを用いて HSPICE シミュレーションを行った結果, 提案 CAROM が理論通りの動作をすることを確認した. 今後は, 複数一致選択分離回路などの周辺回路を含めて提案 CAROM のレイアウト設計を行い, 実チップを製作して性能評価を行うと共に, その応用について検討する予定である.

参考文献

- 1) S.Hanzawa, T.Sakata, K.Kajigaya, R.Takemura and T.Kawahara, "A Large-Scale and Low-Power CAM Architecture Featuring a One-Hot-Spot Block Code for IP-Address Lookup in a Network Router", IEEE Journal of

- Solid-State Circuits, Vol.40, No.4, pp.853-861, April 2005.
- 2) K.Inoue, H.Noda, K.Arimoto, H.J.Mattausch and T.Koid,
“A CAM-Based Signature-Matching Co-Processor with
Application-Driven Power-Reduction Features”, IEICE
Trans. Electron., Vol.E88-C, No.6, pp.1332-1342, June
2005.
 - 3) T.Ogura and M.Nakanishi, “CAM-Based Highly-Parallel
Image Processing”, IEICE Trans. Electron., Vol.E80-C,
No.7, pp.868-874, July 1997.
 - 4) Y.Oike, M.Ikeda, K.Asada, “A High-Speed and
Low-Voltage Associative Co-Processor with Exact
Hamming/Manhattan-Distance Estimation Using
Word-Parallel and Hierarchical Search Architecture”,
IEEE Journal of Solid-State Circuits, Vol.39, No.8,
pp.1383-1387, August 2004.
 - 5) S.Nakahara and T.kawata, “A Design for a Minimum
Hamming-Distance Search Using Asynchronous Digital
Techniques”, IEEE Journal of Solid-State Circuits, Vol.40,
No.1, pp.276-285, January 2005.
 - 6) 福原雅朗, 吉田正廣, “ニューロン MOS インバータを用
いたハミング距離検出回路の提案”, 電子情報通信学
会論文誌(C), Vol.J89-C, No.6, pp.421-422, 2006 年 6
月.
 - 7) M.Fukuhara and M.Yoshida, “A High-Speed and
High-Density Hamming Distance Detector Using a
Neuron MOS Inverter”, ITC-CSCC2006, Vol.3,
pp.737-740, July 2006.
 - 8) 福原雅朗, 吉田正廣, “ニューロン MOS インバータを
用いたハミング距離検出回路の CAM への応用とその
照合特性”, 東海大学紀要情報理工学部, Vol.7, No.2,
pp.15-20, 2008 年 3 月.
 - 9) T.Shibata and T.Ohmi, “A Functional MOS Transistor
Featuring Gate-Level Weighted Sum and Threshold
Oprations”, IEEE Trans. Electron Devices, Vol.39, No.6,
pp.1444-1445, June 1992.